

1 简介

本参考手册是对 SC32M13X&SCDx13X 系列数据手册的补充，提供了应用（特别是软件开发）所需的信息，有关特定 SC32M13X&SCDx13X 器件的功能集、订购信息以及机械和电气特征的信息，请参见其相应的数据手册。

Preliminary

目录

1	简介.....	1
	目录	2
2	文档约定.....	10
2.1	名词解释	10
2.2	外设可用性.....	10
3	资源框图.....	11
4	上电、复位和时钟控制（RCC）	12
4.1	上电过程	12
4.1.1	复位阶段	12
4.1.2	调入信息阶段.....	12
4.1.3	正常操作阶段.....	12
4.2	复位.....	12
4.2.1	复位后的启动区域	13
4.2.2	外部 RST 复位	13
4.2.3	低电压复位 LVR.....	13
4.2.4	上电复位 POR	14
4.2.5	看门狗复位 WDT	14
4.2.6	软件复位	14
4.2.7	复位初始状态.....	14
4.3	时钟.....	14
4.3.1	系统时钟源	14
4.3.2	总线	14
4.3.3	时钟及总线分配框图.....	15
4.4	内建高频 72MHz 振荡器（HIRC）	15
4.5	内建低频 32kHz 振荡器（LIRC）	15
4.6	内置低频振荡电路，可外接 32.768kHz 低频振荡器（LXT）	15
4.7	RCC 寄存器	16
4.7.1	RCC 相关寄存器表	16
4.7.2	RCC 寄存器映射.....	26
5	中断.....	28
5.1	外部中断 INT0~8, 11~15.....	28
5.2	中断与事件.....	28
5.3	中断向量表.....	29
5.4	外部中断寄存器	30
5.4.1	外部中断相关寄存器表	30
5.4.2	外部中断寄存器映射	34

6	存储	35
6.1	概述	35
6.2	存储框图	35
6.3	特性	36
6.4	APROM（主存储区）	36
6.5	2 Kbytes 类 EEPROM（用户存储区）	37
6.6	4 Kbytes LDROM（系统存储区）	37
6.6.1	BootLoader	37
6.7	SRAM	37
6.8	启动区域选择（自举）	38
6.8.1	从主存储区自举	38
6.8.2	从系统存储区自举	38
6.8.3	从嵌入式 SRAM 自举	38
6.8.4	自举模式设置	38
6.9	96 Bits Unique ID	39
6.10	User ID 区域	39
6.11	编程	39
6.11.1	JTAG 专用模式	39
6.11.2	常规模式（JTAG 专用口无效）	40
6.12	安全加密	40
6.12.1	安全加密操作权限	40
6.13	In Application Programming (IAP)	41
6.13.1	IAP 操作相关寄存器	41
6.14	选项字节区域（Customer Option）	44
6.14.1	Customer Option 的映射寄存器	44
7	模数转换器（ADC）	46
7.1	概述	46
7.2	时钟源	46
7.3	特性	46
7.4	ADC 采样和转换时间	46
7.5	采样模式	47
7.5.1	单采样模式	47
7.6	转换模式	47
7.6.1	单次转换模式	47
7.6.2	序列转换模式	47
7.6.3	序列使能与禁止	48
7.7	ADC 溢出	48
7.8	ADC 与 DMA 控制器配合使用	48

7.9	ADC 转换步骤	49
7.9.1	单采样模式	49
7.10	ADC 连接电路图	50
7.11	ADC 中断	50
7.12	ADC 寄存器	50
7.12.1	ADC 相关寄存器表	50
7.12.2	ADC 寄存器映射	57
8	运算加速单元 (MR)	59
9	内部基准源 (VREF)	60
9.1	概述	60
9.2	时钟源	60
9.3	内部基准源模块配置	60
9.4	内部基准源输出	60
9.5	内部基准源功能框图	60
9.6	VREF 寄存器	61
9.6.1	VREF 相关寄存器表	61
9.6.2	VREF 寄存器映射	62
10	数模转换器 (DAC)	63
10.1	概述	63
10.2	时钟源	63
10.3	特性	63
10.4	DAC 寄存器	63
10.4.1	DAC 相关寄存器表	63
10.4.2	DAC 寄存器映射	65
11	温度传感器	66
11.1	概述	66
11.2	温度传感器操作步骤	66
11.3	温度传感器寄存器	66
11.3.1	温度传感器相关寄存器表	66
11.3.2	温度传感器寄存器映射	67
12	运放及可编程增益放大器 (OP)	68
12.1	概述	68
12.2	特性	68
12.3	OP0 框图	68
12.4	OP1 框图	69
12.5	OP0 端口选择	69
12.5.1	OP0 精度调整	69

12.5.2	OP0 同相端输入	69
12.5.3	OP0 反相端输入	69
12.5.4	OP0 输出	70
12.6	OP1 端口选择	70
12.6.1	OP1 精度调整	70
12.6.2	OP1 同相端输入	70
12.6.3	OP1 反相端输入	70
12.6.4	OP1 输出	70
12.7	OP 寄存器	71
12.7.1	OP0 相关寄存器表	71
12.7.2	OP1 相关寄存器	72
12.7.3	OP0/1 寄存器映射	75
13	模拟比较器 (CMP)	76
13.1	概述	76
13.2	时钟源	76
13.3	CMP0/1/2 特性	76
13.4	虚拟中心点	76
13.5	模拟比较器结构框图	77
13.6	CMP 中断	77
13.7	CMP 寄存器	77
13.7.1	CMP0/1/2 相关寄存器表	77
13.7.2	CMP0/1/2 寄存器映射	81
14	增强型 6 路 16 位多功能 PWM (EPWM)	83
14.1	概述	83
14.2	时钟源	83
14.3	特性	83
14.4	EPWM 结构框图	85
14.5	EPWM 波形定义	85
14.6	输出模式	86
14.6.1	独立模式	86
14.6.2	互补模式	86
14.7	对齐类型	86
14.7.1	边沿对齐型	86
14.7.2	中心对齐对称模式(ASYMEN=0).....	87
14.7.3	中心对齐非对称模式 (ASYMEN=1).....	88
14.8	周期变化特性	89
14.9	占空比变化特性	90

14.10	周期和占空比的关系	90
14.11	EPWM 故障检测机制	90
14.11.1	锁存(One-shot)事件响应	91
14.11.2	cycle by cycle 事件响应	91
14.11.3	故障响应事件优先级	91
14.12	EPWM 独立模式	91
14.13	EPWM 互补模式	92
14.13.1	EPWM 互补模式死区时间设置	92
14.13.2	EPWM 死区输出波形	93
14.14	EPWM 端口输出组合	94
14.15	EPWM 中断	94
14.16	EPWM 寄存器	95
14.16.1	EPWM 相关寄存器表	95
14.16.2	EPWM 寄存器映射	103
15	三相捕获模块 PCAP (3 PHASE CAPTURE)	105
15.1	概述	105
15.2	时钟源	105
15.3	特性	105
15.4	PCAP 功能说明	105
15.4.1	PCAP 结构框图	105
15.4.2	PCAP 信号来源	106
15.4.3	PCAP 滤波功能	106
15.4.4	PCAP 捕获功能	106
15.4.5	PCAP 鉴相功能	107
15.5	PCAP 中断	108
15.6	PCAP 寄存器	109
15.6.1	PCAP 相关寄存器表	109
15.6.2	PCAP 寄存器映射	113
16	16 位定时/计数器 (TIM) TIMER0~TIMER3	115
16.1	时钟源	115
16.2	特性	115
16.3	计数方式	115
16.3.1	定时模式下 TIM 计数方式	115
16.3.2	PWM 输出模式下 TIM 计数方式	115
16.4	定时器相关的信号口	115
16.5	TIM 的中断及对应标志位	116
16.6	TIM 的工作模式	116

16.6.1	工作模式 0: 16 位捕获模式	116
16.6.2	工作模式 1: 16 位自动重载定时器/计数器模式	117
16.6.3	工作模式 3: 可编程时钟输出模式	117
16.6.4	工作模式 4: PWM 输出模式	117
16.7	TIM 中断	118
16.8	TIM 寄存器	118
16.8.1	TIM 相关寄存器表	118
16.8.2	TIM 寄存器映射	125
17	省电模式	127
18	GPIO	128
18.1	时钟源	128
18.2	特性	128
18.3	GPIO 结构图	128
18.3.1	强推挽输出模式	128
18.3.2	带上拉的输入模式	128
18.3.3	高阻输入模式(Input only)	129
18.4	GPIO 寄存器	129
18.4.1	GPIO 相关寄存器表	129
18.4.2	GPIO 寄存器映射	132
19	UART0~1	134
19.1	时钟源	134
19.2	特性	134
19.3	UART 中断	134
19.4	UART0/1 寄存器	135
19.4.1	UART0/1 相关寄存器表	135
19.4.2	UART0~1 寄存器映射	139
20	SPI0	140
20.1	时钟源	140
20.2	SPI0 特性	140
20.3	信号描述	140
20.4	工作模式	141
20.4.1	主模式	141
20.4.2	从模式	142
20.5	传送形式	142
20.6	出错检测	143
20.7	SPI0 中断信息	143
20.8	SPI 中断	145
20.9	SPI0 寄存器	145

20.9.1	SPI0 相关寄存器表	145
20.9.2	SPI0 寄存器映射	149
21	TWI0	150
21.1	时钟源	150
21.2	TWI0 特性	150
21.3	TWI 信号描述	150
21.4	从机工作模式	150
21.5	从机模式操作步骤	153
21.6	主机工作模式	154
21.7	主机模式操作步骤	155
21.8	TWI0 中断	155
21.9	TWI0 寄存器	156
21.9.1	TWI0 相关寄存器表	156
21.9.2	TWI0 寄存器映射	160
22	硬件看门狗 WDT	161
22.1	概述	161
22.2	时钟源	161
22.3	WDT 寄存器	161
22.3.1	WDT 相关寄存器表	161
22.3.2	WDT 寄存器映射	162
23	BASE TIMER (BTM)	163
23.1	概述	163
23.2	时钟源	163
23.3	特性	163
23.4	BTM 中断	163
23.5	BTM 寄存器	163
23.5.1	BTM 相关寄存器表	163
23.5.2	BTM 寄存器映射	165
24	内建 CRC 校验模块	166
24.1	概述	166
24.2	时钟源	166
24.3	特性	166
24.4	CRC 寄存器	167
24.4.1	CRC 相关寄存器表	167
24.4.2	CRC 寄存器映射	169
25	直接存储器访问(DMA)	170
25.1	概述	170

25.2	时钟源	170
25.3	特性	170
25.4	功能说明	170
25.4.1	传输方向	170
25.4.2	DMA 访问区域限制	170
25.4.3	通道优先级	170
25.4.4	单一传输和批量传输	171
25.4.5	循环模式	171
25.4.6	DMA 通道使能后禁止操作的控制位	171
25.5	DMA 中断	171
25.6	DMA 寄存器	172
25.6.1	DMA 相关寄存器表	172
25.6.2	DMA 寄存器映射	177
26	SYSTICK	179
26.1	时钟源	179
26.2	SysTick 校准寄存器默认值	179
27	版本记录	180
28	声明	181

2 文档约定

2.1 名词解释

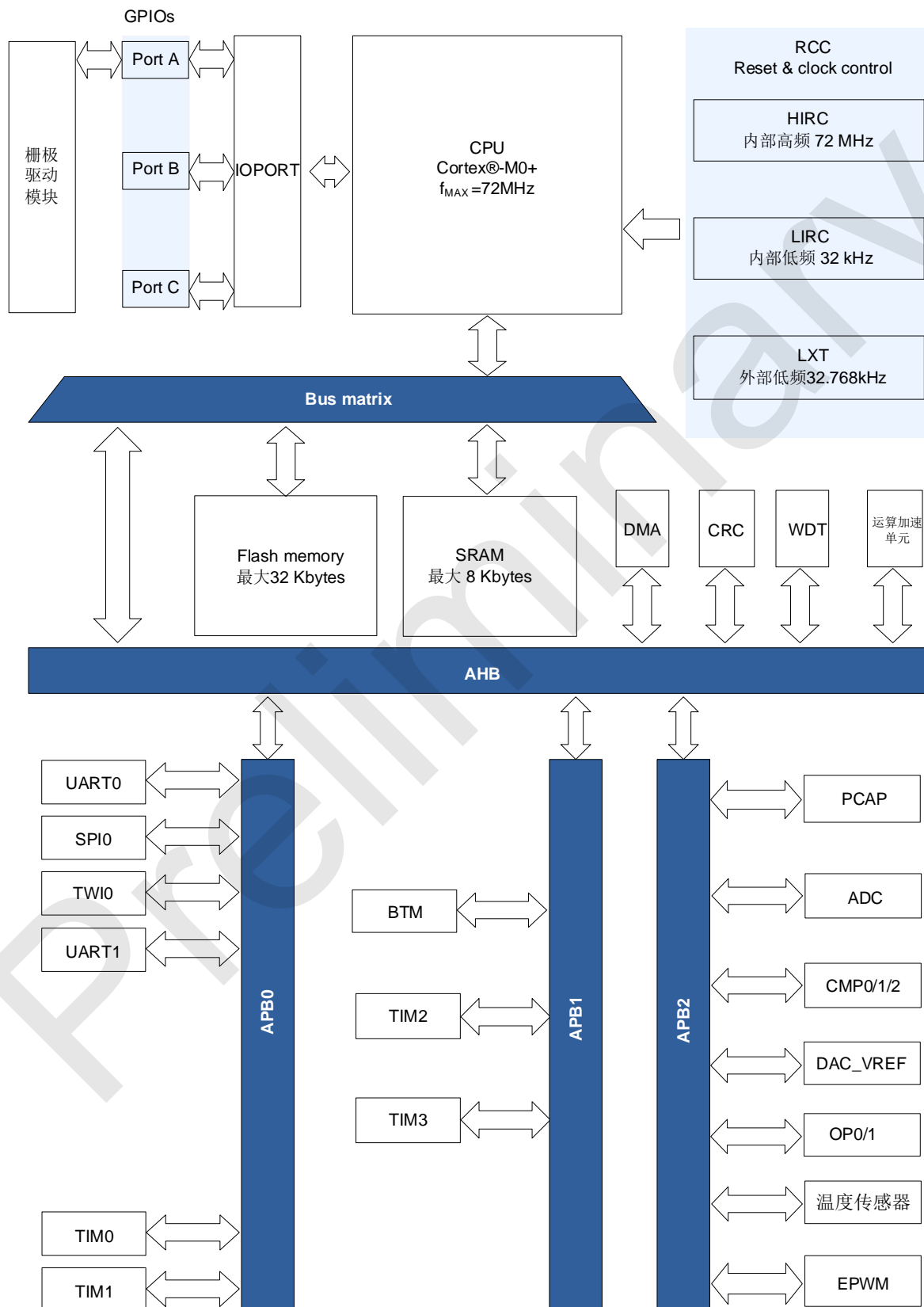
本节主要解释本文档中各首字母缩略词和缩写词的定义：

- 字：32 位数据
- 半字：16 位数据
- 字节：8 位数据
- 双字：64 位数据
- IAP(在应用中编程)：IAP 是指可以在用户程序运行期间对微控制器的 Flash 进行重新编程
- ICP(在线编程)：ICP 是指可以在器件安装于用户电路板上时使用 JTAG 协议、SWD 协议或自举程序对微控制器的 Flash 进行编程
- JTAG 协议：JTAG 协议是一种国际标准测试协议，主要用于芯片内部测试
- SWD 协议：SWD 协议是 ARM 设计的协议，代表串行线测试，用于对其微控制器进行编程和调试
- 选项字节：存储于 Flash 中的产品配置位
- AHB：高级高性能总线
- APB：高级外设总线

2.2 外设可用性

有关各型号产品的外设可用性及数量信息，请参考各产品最新的数据手册的产品外设资源表章节。

3 资源框图



4 上电、复位和时钟控制（RCC）

4.1 上电过程

SC32M13X&SCDx13X 上电后，在客户端软件执行前，会经过以下三个阶段：

- ① 复位阶段；
- ② 调入信息阶段；
- ③ 正常操作阶段。

4.1.1 复位阶段

复位阶段是指 SC32M13X&SCDx13X 持续保持在复位状态，直到供应电压超过特定的阈值，其内部时钟机制才开始有效运作。

该阶段的具体时长受外部电源电压上升速率的影响，当外部电源提供的电压达到内建 POR 电压时，复位阶段即告结束。

4.1.2 调入信息阶段

在 SC32M13X&SCDx13X 内部设有一个预热计数器。复位阶段，此预热计数器一直被清零，供电电压上升至 POR 后，内部 HIRC 振荡器预热计数器开始计数。该预热计数器计数到一定数值后，周期性从 Flash ROM 中的 IFB（包含 Customer Option）读取数据至系统寄存器。所有 IFB 数据读取完毕后，预热及信息调入阶段结束，系统进入正常操作模式。

4.1.3 正常操作阶段

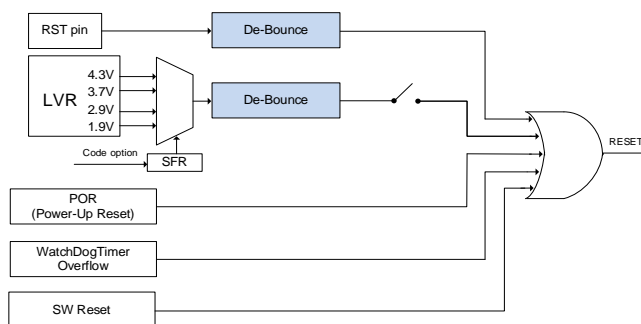
完成信息调入后，SC32M13X&SCDx13X 从 Flash 读取指令进入正常操作阶段。此时 LVR 电压值为用户写入 Customer Option 的设置值。

4.2 复位

SC32M13X&SCDx13X 有 5 种复位方式，前四种为硬件复位：

- ① 外部 RST 复位
- ② 低电压复位 LVR
- ③ 上电复位 POR
- ④ 看门狗 WDT 复位
- ⑤ 软件复位

SC32M13X&SCDx13X 的复位部分电路结构图如下：

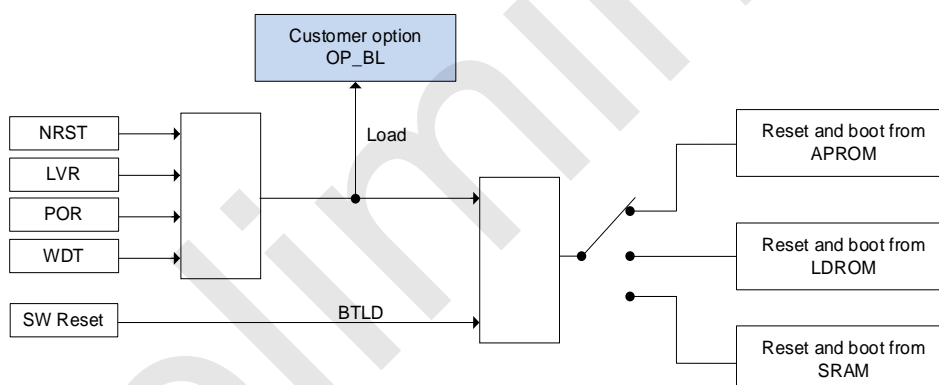


SC32M13X&SCDx13X 复位电路图

4.2.1 复位后的启动区域

外部 RST 复位、低电压复位 LVR、上电复位 POR、看门狗 WDT 这四种硬件复位后，芯片从用户 OP_BL 设定的启动区域(APROM / LDROM / SRAM)启动。

软件复位后，芯片根据 BTLD[1:0]设定的启动区域(APROM / LDROM / SRAM)启动。



SC32M13X&SCDx13X 复位后启动区域切换示意图

4.2.2 外部 RST 复位

SC32M13X&SCDx13X 的外部 RST 复位可通过在外部 RST 引脚上输入一定宽度的低电平复位脉冲信号实现。

用户在烧录程序前可通过烧录上位机软件配置 Customer Option 项将 PC11 / NRST 管脚配置为 RST（复位脚）使用。

4.2.3 低电压复位 LVR

SC32M13X&SCDx13X 内建一个低电压复位电路，支持 4 种门限电压选择：4.3V、3.7V、2.9V、1.9V。出厂时，默认的门限电压值为 1.9V，用户可通过烧录时设置 Customer Option 的值来设定缺省值。当 V_{DD} 电压低于设定的门限值，且持续时间超过约 30 μ s 的抖动时间 T_{LVR} 时，则触发复位操作。

4.2.4 上电复位 POR

SC32M13X&SCDx13X 内部有上电复位电路，当 V_{DD} 电压达到 POR 复位电压时，系统自动复位。

4.2.5 看门狗复位 WDT

SC32M13X&SCDx13X 有一个 WDT，其时钟源为内部的 32kHz 振荡器。用户可以通过编程器的 Customer Option 选择是否开启看门狗复位功能。

4.2.6 软件复位

SC32M13X&SCDx13X 提供软件复位功能，用户可以通过对 RST (IAP_CON.8) 位写 1 后，使得系统立刻复位。

4.2.7 复位初始状态

当 SC32M13X&SCDx13X 处于复位状态时，多数寄存器会回到其初始状态。看门狗 WDT 功能将在此阶段被禁用。“热启动”下的 Reset（如 WDT、LVR、软件复位等）不会对 SRAM 中的数据产生影响，因此 SRAM 将保留复位前的值。

注意：当电源电压降低到无法维持 RAM 数据保存的程度时，SRAM 中的内容将会丢失。

4.3 时钟

4.3.1 系统时钟源

系统时钟 SYSCLK 可通过三种不同的时钟源驱动：

- 内建高频 72MHz 振荡器 (HIRC)
- 内建低频 32kHz 振荡器 (LIRC)
- 外接低频晶振 (LXT)

注意：

1. 上电默认的系统时钟源为 HIRC，上电默认的系统时钟频率为 $f_{HIRC}/2$ ，用户可在上电后的正常操作阶段，通过软件方式切换时钟源。切换前务必确保所选时钟源已处于稳定的工作状态；
2. 系统时钟源切换时，必须先将系统时钟源切换至 HIRC，再切换至目标时钟源。

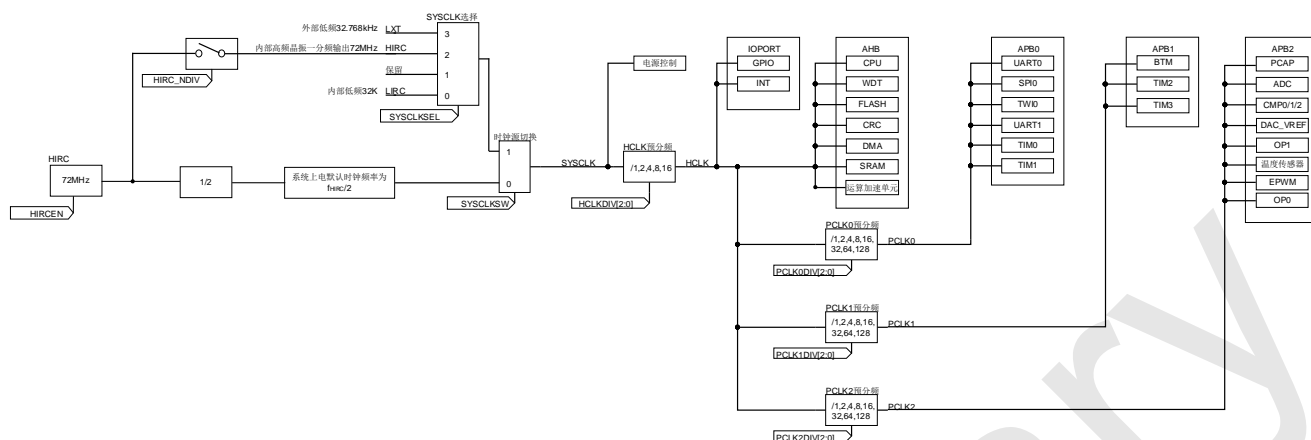
4.3.2 总线

用户可通过多个预分频器配置 AHB、APB0、APB1、APB2 域的频率。

- HCLK: AHB 域主时钟，最大频率是 72MHz，包括 Cortex®-M0+内核、内存、DMA 等都由 HCLK 驱动。
- PCLK0: APB0 域主时钟，最大频率是 HCLK 的频率，APB0 总线上的外设都由 PCLK0 驱动；
- PCLK1: APB1 域主时钟，最大频率是 HCLK 的频率，APB1 总线上的外设都由 PCLK1 驱动；
- PCLK2: APB2 域主时钟，最大频率是 HCLK 的频率，APB2 总线上的外设都由 PCLK2 驱动；

RCC 通过 AHB 时钟 (HCLK) 8 分频后作为 SysTick 的外部时钟。通过对 SysTick 控制与状态寄存器的设置，可选择上述时钟或内核时钟作为 SysTick 时钟源。

4.3.3 时钟及总线分配框图



注意：系统上电后，默认的时钟频率 f_{SYS} 为 $f_{HIRC}/2$ ，用户可通过修改寄存器位 **SYSCLKSW** 与 **SYSCLKSEL** 选择所需的时钟源。

4.4 内建高频 72MHz 振荡器（HIRC）

HIRC 有以下功能及特性：

- 作为系统运行时钟
- 系统上电默认时钟频率 f_{SYS} 为 $f_{HIRC}/2$
- 频率误差：跨越（2.0V~5.5V）及（-40~105℃）应用环境下的频率误差 $\leq \pm 1\%$
- 可通过 32.768kHz 外接晶振进行自动校准，校准后 HIRC 精度可无限接近外接 32.768kHz 晶振的精度

4.5 内建低频 32kHz 振荡器（LIRC）

LIRC 有以下功能及特性

- 作为系统运行时钟
- 作为 Base Timer 的时钟源
- 固定为 WDT 时钟源，WDT 使能后此时钟源必开启
- 频率误差：跨越（4.0~5.5V）及常温 25℃ 应用环境，经寄存器修正后频率误差 $\leq \pm 4\%$

4.6 内置低频振荡电路，可外接 32.768kHz 低频振荡器（LXT）

LXT 有以下功能及特性

- 作为系统运行时钟
- 作为 Base Timer 时钟源
- 外接 32.768kHz 低频振荡器
- 可通过 LXT 对 HIRC 进行自动校准

4.7 RCC 寄存器

4.7.1 RCC 相关寄存器表

4.7.1.1 RCC 保护寄存器 RCC_KEY

寄存器	读/写	说明	复位值	上电初始值
RCC_KEY	读/写	RCC 保护寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
RCCKEY[7:0]							

位编号	位符号	说明
7~0	RCCKEY[7:0]	RCC_CFG0、RCC_CFG1 这两个寄存器的操作使能开关及时限设置。 写入一个大于等于 0x40 的值 n，代表： 1. 打开 RCC_CFG0、RCC_CFG1 这两个寄存器的写操作功能； 2. n 个系统时钟后如果接收不到寄存器写入命令，则 RCC 改写功能被重新关闭。
31~8	-	保留

4.7.1.2 系统时钟源选择寄存器 RCC_CFG0（写保护）

*该寄存器受写保护，必须操作 RCC 保护寄存器 RCC_KEY 才能修改。

寄存器	读/写	说明	复位值	上电初始值
RCC_CFG0	读/写	系统时钟源选择寄存器	0x0000_1040	0x0000_1040

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
INTEN	HIRC_NDIV	WAIT[1:0]	HPLDO_DP	-	SYSCLKSEL[1:0]		
7	6	5	4	3	2	1	0
SYSCLKSW	HIRCEN	-	-	-	-	LIRCEN	LXTEN

位编号	位符号	说明
15	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
14	HIRC_NDIV	内建高频晶振一分频输出 72MHz 使能位 0: 禁止 1: 使能

位编号	位符号	说明
13~12	WAIT[1:0] 复位值=01	00: 保留, 不建议用户设置为“00”, 防止出现异常 01: 1 个 wait, 36MHz 主频推荐, 上电默认值 10: 2 个 wait, 72MHz 主频推荐 11: 3 个 wait, 72MHz 主频推荐 注意: 用户设置主频为 36M 时, 至少需要 1 个 wait; 设置主频为 72M 时, 至少需要 2 个 wait
11	HPLDO_DP	低频系统时钟功耗调整位 0: 系统时钟源非 LIRC 推荐设置 1: 系统时钟源选择 LIRC 推荐设置。当系统时钟选择 LIRC, 此位写 1 可降低整体功耗
9~8	SYSCCLKSEL[1:0]	系统时钟源选择位 00: 系统时钟源来自 LIRC 01: 保留 10: 系统时钟源来自 HIRC 一分频, 72MHz 11: 系统时钟源来自 LXT 注意: 1. 上电默认的系统时钟源为 HIRC, 上电默认的系统时钟频率为 $f_{HIRC}/2$, 用户可在上电后的正常操作阶段, 通过软件方式切换时钟源。切换前务必确保所选时钟源已处于稳定的工作状态; 2. 系统时钟源无论选择切换至哪一种, 都必须先将系统时钟源切换至 HIRC, 再切换至目标时钟源。
7	SYSCCLKSW	系统时钟源切换位, 使能后系统时钟源从 HIRC 切换至 SYSCCLKSEL 所选的时钟: 0: 系统时钟源为 HIRC, 上电默认系统时钟频率为 $f_{HIRC}/2$ 1: 系统时钟源为 SYSCCLKSEL 设置项 对此位改写后, 必须内部电路切换成功才会更新改写的值, 否则读到的一直是改写前的状态。用户可以通过读取此位的方式判断时钟源是否已切换成功。复位/唤醒后此位将自动清零, 即复位/唤醒后由 HIRC 提供系统时钟。 注意: 1. 上电默认的系统时钟源为 HIRC, 上电默认的系统时钟频率为 $f_{HIRC}/2$, 用户可在上电后的正常操作阶段, 通过软件方式切换时钟源。切换前务必确保所选时钟源已处于稳定的工作状态; 2. 系统时钟源无论选择切换至哪一种, 都必须先将系统时钟源切换至 HIRC, 再切换至目标时钟源。
6	HIRCEN	内建高频 72MHz 振荡器 HIRC 使能位 0: 禁止 1: 使能 当 SYSCCLKSW = 0, 选择 HIRC 作为系统时钟时, 此位不可写入。 复位/唤醒后此位将由硬件置 1, 即复位/唤醒后由 HIRC 提供系统时钟。
1	LIRCEN	内建低频 32kHz 振荡器 LIRC 使能位 0: 禁止 1: 使能
0	LXTEN	外接低频晶振 LXT 使能位 0: 禁止 1: 使能
31~16 10 5~2	-	保留

4.7.1.3 外设时钟源选择寄存器 RCC_CFG1（写保护）

*该寄存器受写保护，必须操作 RCC 保护寄存器 RCC_KEY 才能修改。

寄存器	读/写	说明	复位值	上电初始值
RCC_CFG1	读/写	外设时钟源选择寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
STCLKSEL[2:0]			-	-	EPWMCLKSEL	-	BTMCLKSEL

位编号	位符号	说明
7~5	STCLKSEL[2:0]	SysTick 时钟源选择位 000: 时钟源来自 HCLK/8 001: 时钟源来自 HIRC/4 010: 保留 011: 时钟源来自 LIRC 100: 时钟源来自 LXT 注意: 用户配置时注意, 如果 SysTick 时钟源不是来自 HCLK, SysTick 时钟源频率必须小于或等于 $f_{HCLK}/2$ 。
2	EPWMCLKSEL	增强型 6 路 16 位多功能 EPWM 时钟源选择位 0: 时钟源来自 PCLK 1: 时钟源来自 72MHz HIRC 对此位改写后, 必须等待内部电路切换成功才会更新改写的值, 否则读到的一直是改写前的状态。用户可以通过读取此位的方式判断时钟源是否已切换成功。
0	BTMCLKSEL	BTM 时钟源选择位 0: 时钟源来自 LIRC 1: 时钟源来自 LXT 对此位改写后, 必须等待内部电路切换成功才会更新改写的值, 否则读到的一直是改写前的状态。 用户可以通过读取此位的方式判断时钟源是否已切换成功。
31~8 5~3 1	-	保留

4.7.1.4 时钟状态寄存器 RCC_STS

寄存器	读/写	说明	复位值	上电初始值
RCC_STS	读/写	时钟状态寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-

7	6	5	4	3	2	1	0
-	-	-	-	SRAMPEIF	-	-	-

位编号	位符号	说明
3	SRAMPEIF	SRAM 奇偶校验错误标志位 检测到 SRAM 奇偶校验错误时，此位由硬件置 1。通过软件写入 1 可将此位清 0 0: 未检测到 SRAM 奇偶校验错误 1: 检测到 SRAM 奇偶校验错误
31~4 2~0	-	保留

4.7.1.5 SysTick 校准参数寄存器 SYST_CALIB

寄存器	读/写	说明	复位值	上电初始值
SYST_CALIB	只读	SysTick 校准参数寄存器	0x0000_2327	0x0000_2327

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
CALIB[23:16]							
15	14	13	12	11	10	9	8
CALIB[15:8]							
7	6	5	4	3	2	1	0
CALIB[7:0]							

位编号	位符号	说明
23~0	CALIB[23:0]	校准寄存器默认值: 若，上电默认时钟为 f_{HCLK}/n (MHz)，n 是上电默认分频系数，上电默认时钟源为 HIRC 则，SysTick 校准值初始值为 $1000 * (f_{HCLK}/n)$ ，即保证默认可产生 1ms 时间基准
31~24	-	保留

4.7.1.6 AHB 总线外设时钟使能寄存器 AHB_CFG

寄存器	读/写	说明	复位值	上电初始值
AHB_CFG	读/写	AHB 总线外设时钟使能寄存器	0x0010_0000	0x0010_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	CLKDIV[2:0]			-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	MRCEN	CANEN	-	IFBEN	CRCEN	DMAEN

位编号	位符号	说明
22~20	CLKDIV[2:0]	AHB 时钟分频设置位 AHB 总线时钟 HCLK 来自系统时钟 SYSCLK 的分频： 000: $f_{HCLK} = f_{SYS}$ 001: $f_{HCLK} = f_{SYS} / 2$ 010: $f_{HCLK} = f_{SYS} / 4$ 011: $f_{HCLK} = f_{SYS} / 8$ 100: $f_{HCLK} = f_{SYS} / 16$ 其它：保留
5	MRCEN	运算加速单元（MR）模块时钟使能位 0：禁止 1：使能
4	CANEN	CAN 模块时钟使能位 0：禁止 1：使能
2	IFBEN	Customer Option 映射寄存器时钟使能位 使用 OPINX 配合 OPREG 改写 IFB 映射寄存器之前，应先要打开时钟使能。 0：禁止 1：使能
1	CRCEN	CRC 模块时钟使能位 0：禁止 1：使能
0	DMAEN	DMA 时钟使能位 0：禁止 1：使能
31~23 19~6 3	-	保留

4.7.1.7 APB0 总线外设时钟使能寄存器 APB0_CFG

寄存器	读/写	说明	复位值	上电初始值
APB0_CFG	读/写	APB0 总线外设时钟使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
ENAPB	CLKDIV[2:0]			-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
UART1EN	UART0EN	SPI0EN	TWI0EN	-	-	TIM1EN	TIM0EN

位编号	位符号	说明
23	ENAPB	APB0 总线时钟开关控制位 0：禁止 1：使能
22~20	CLKDIV[2:0]	APB0 时钟分频设置位 APB0 总线时钟 PCLK0 来自 HCLK 的分频： 000: $f_{PCLK0} = f_{HCLK}$ 001: $f_{PCLK0} = f_{HCLK} / 2$

位编号	位符号	说明
		010: $f_{PCLK0} = f_{HCLK} / 4$ 011: $f_{PCLK0} = f_{HCLK} / 8$ 100: $f_{PCLK0} = f_{HCLK} / 16$ 101: $f_{PCLK0} = f_{HCLK} / 32$ 110: $f_{PCLK0} = f_{HCLK} / 64$ 111: $f_{PCLK0} = f_{HCLK} / 128$
7	UART1EN	UART1 时钟使能位 0: 禁止 1: 使能
6	UART0EN	UART0 时钟使能位 0: 禁止 1: 使能
5	SPI0EN	SPI0 时钟使能位 0: 禁止 1: 使能
4	TWI0EN	TWI0 时钟使能位 0: 禁止 1: 使能
1	TIM1EN	Timer1 时钟使能位 0: 禁止 1: 使能
0	TIM0EN	Timer0 时钟使能位 0: 禁止 1: 使能
31~24 19~8 3~2	-	保留

4.7.1.8 APB1 总线外设时钟使能寄存器 APB1_CFG

寄存器	读/写	说明	复位值	上电初始值
APB1_CFG	读/写	APB1 总线外设时钟使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
ENAPB	CLKDIV[2:0]			-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	TIM3EN	TIM2EN

位编号	位符号	说明
23	ENAPB	APB1 总线时钟开关控制位 0: 禁止 1: 使能

位编号	位符号	说明
22~20	CLKDIV[2:0]	APB1 时钟分频设置位 APB1 总线时钟 PCLK1 来自 HCLK 的分频： 000: $f_{PCLK1} = f_{HCLK}$ 001: $f_{PCLK1} = f_{HCLK} / 2$ 010: $f_{PCLK1} = f_{HCLK} / 4$ 011: $f_{PCLK1} = f_{HCLK} / 8$ 100: $f_{PCLK1} = f_{HCLK} / 16$ 101: $f_{PCLK1} = f_{HCLK} / 32$ 110: $f_{PCLK1} = f_{HCLK} / 64$ 111: $f_{PCLK1} = f_{HCLK} / 128$
1	TIM3EN	Timer3 时钟使能位 0: 禁止 1: 使能
0	TIM2EN	Timer2 时钟使能位 0: 禁止 1: 使能
31~24 19~2	-	保留

4.7.1.9 APB2 总线外设时钟使能寄存器 APB2_CFG

寄存器	读/写	说明	复位值	上电初始值
APB2_CFG	读/写	APB2 总线外设时钟使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
ENAPB	CLKDIV[2:0]			-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	ADCEN	-	-	-	-	PCAPEN	EPWMEN

位编号	位符号	说明
23	ENAPB	APB2 总线时钟开关控制位 0: 禁止 1: 使能
22~20	CLKDIV[2:0]	APB2 时钟分频设置位 APB2 总线时钟 PCLK2 来自 HCLK 的分频： 000: $f_{PCLK2} = f_{HCLK}$ 001: $f_{PCLK2} = f_{HCLK} / 2$ 010: $f_{PCLK2} = f_{HCLK} / 4$ 011: $f_{PCLK2} = f_{HCLK} / 8$ 100: $f_{PCLK2} = f_{HCLK} / 16$ 101: $f_{PCLK2} = f_{HCLK} / 32$ 110: $f_{PCLK2} = f_{HCLK} / 64$ 111: $f_{PCLK2} = f_{HCLK} / 128$
6	ADCEN	ADC 时钟使能位 0: 禁止 1: 使能

位编号	位符号	说明
1	PCAPEN	PCAP 时钟使能位 0: 禁止 1: 使能
0	EPWMEN	EPWM 时钟使能位 0: 禁止 1: 使能
31~24 19~7 5~2	-	保留

4.7.1.10 AHB 总线外设复位控制寄存器 AHB_RST

寄存器	读/写	说明	复位值	上电初始值
AHB_RST	读/写	AHB 总线外设复位控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	MRCRST	-	-	-	CRCRST	DMARST

位编号	位符号	说明
5	MRCRST	运算加速单元 (MR) 复位控制位 该位通过软件写 1, 由硬件自动清 0。 0: 无影响 1: 复位运算加速单元
1	CRCRST	CRC 复位控制位 该位通过软件写 1, 由硬件自动清 0。 0: 无影响 1: 复位 RCC
0	DMARST	DMA 复位控制位 该位通过软件写 1, 由硬件自动清 0。 0: 无影响 1: 复位 DMA
31~6 4~2	-	保留

4.7.1.11 APB0 总线外设复位控制寄存器 APB0_RST

寄存器	读/写	说明	复位值	上电初始值
APB0_RST	读/写	APB0 总线外设复位控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-

7	6	5	4	3	2	1	0
UART1RST	UART0RST	SPI0RST	TWI0RST	-	-	TIM1RST	TIM0RST

位编号	位符号	说明
7	UART1RST	UART1 复位控制位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：复位 UART1
6	UART0RST	UART0 复位控制位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：复位 UART0
5	SPI0RST	SPI0 复位控制位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：复位 SPI0
4	TWI0RST	TWI0 复位控制位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：复位 TWI0
1	TIM1RST	Timer1 复位控制位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：复位 Timer1
0	TIM0RST	Timer0 复位控制位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：复位 Timer0
31~8 3~2	-	保留

4.7.1.12 APB1 总线外设复位控制寄存器 APB1_RST

寄存器	读/写	说明	复位值	上电初始值
APB1_RST	读/写	APB1 总线外设复位控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	TIM3RST	TIM2RST

位编号	位符号	说明
1	TIM3RST	Timer3 复位控制位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：复位 Timer3
0	TIM4RST	Timer2 复位控制位 该位通过软件写 1，由硬件自动清 0。

位编号	位符号	说明
		0: 无影响 1: 复位 Timer2
31~2	-	保留

4.7.1.13 APB2 总线外设复位控制寄存器 APB2_RST

寄存器	读/写	说明	复位值	上电初始值
APB2_RST	读/写	APB2 总线外设复位控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	ADCRST	-	-	-	-	PCAPRST	EPWMRST

位编号	位符号	说明
6	ADCRST	ADC 复位控制位 该位通过软件写 1，由硬件自动清 0。 0: 无影响 1: 复位 ADC
1	PCAPRST	PCAP 复位控制位 该位通过软件写 1，由硬件自动清 0。 0: 无影响 1: 复位 PCAP
0	EPWMRST	EPWM 复位控制位 该位通过软件写 1，由硬件自动清 0。 0: 无影响 1: 复位 EPWM
31~7 5~2	-	保留

4.7.1.14 NMI 中断配置寄存器 NMI_CFG

寄存器	读/写	说明	复位值	上电初始值
NMI_CFG	读/写	非可屏蔽中断（NMI）中断配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
KEY[15:8]							
23	22	21	20	19	18	17	16
KEY[7:0]							
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
CMPOEN	-	OP1EN	-	SRAMPEEN	INT0EN	-	-

位编号	位符号	说明
31~16	KEY[15:0]	NMI_CFG 寄存器写保护开关 向 KEY[15:0]写入 0xA05F 解锁后才能对当前寄存器的低位进行改写操作。
7	CMP0EN	CMP0 非屏蔽中断源使能位 0: 禁止触发 NMI 1: 非屏蔽中断源使能 使能后, CMP0IF 置起时会触发 NMI, 手动清除 CMP0IF 标志后方可退出 NMI 中断 注意: 如果 CMP0 中断使能已开启 (CMPX_IDE->INTEN=1; CMPX_IDE->CMP0IE=1), 仍会优先处理 NMI
5	OP1EN	OP1_CMP 非屏蔽中断源使能位 0: 禁止触发 NMI 1: 非屏蔽中断源使能 使能后, OP1IF 置起时会触发 NMI, 手动清除 OP1IF 标志后方可退出 NMI 中断 注意: 如果 OP1 中断使能已开启 (OPX_IDE->INTEN=1; OPX_IDE->OP1IE=1), 仍会优先处理 NMI
3	SRAMPEEN	SRAM 奇偶校验错误中断使能位 0: SRAM 奇偶校验错误禁止触发 NMI 1: SRAM 奇偶校验错误非屏蔽中断源使能 使能后, 读取 SRAM 时检测到 SRAM 奇偶校验错误会触发 NMI, 手动清除相应标志位后方可退出 NMI 中断
2	INT0EN	外部中断 INT0 非屏蔽中断源使能位 0: INT0 禁止触发 NMI 1: INT0 非屏蔽中断源使能 使能后, INT0 口上的上升/下降沿中断均会触发 NMI, 手动清除相应标志位后方可退出 NMI 中断。 注意: 若 INT0 中断已使能, 仍会优先处理 NMI。
15~8 6 4 1~0	-	保留

4.7.2 RCC 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
AHB 基地址: 0x4000_3000					
AHB_CFG	0x00	读/写	AHB 总线外设时钟使能寄存器	0x0010_0000	0x0010_0000
AHB_RST	0x04	读/写	AHB 总线外设复位控制寄存器	0x0000_0000	0x0000_0000
RCC_KEY	0x0C	读/写	RCC 保护寄存器	0x0000_0000	0x0000_0000
RCC_CFG0	0x14	读/写	系统时钟源选择寄存器	0x0000_1040	0x0000_1040
RCC_CFG1	0x18	读/写	外设时钟源选择寄存器	0x0000_0000	0x0000_0000
RCC_STS	0x20	读/写	时钟状态寄存器	0x0000_0000	0x0000_0000
SYST_CALIB	0x28	读/写	SysTick 校准参数寄存器	0x0000_2327	0x0000_2327

寄存器	偏移地址	读/写	说明	复位值	上电初始值
NMI_CFG	0x2C	读/写	NMI 中断配置寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
APB0 基地址: 0x4002_0000					
APB0_CFG	0x00	读/写	APB0 总线外设时钟使能寄存器	0x0000_0000	0x0000_0000
APB0_RST	0x04	读/写	APB0 总线外设复位控制寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
APB1 基地址: 0x4002_1000					
APB1_CFG	0x00	读/写	APB1 总线外设时钟使能寄存器	0x0000_0000	0x0000_0000
APB1_RST	0x04	读/写	APB1 总线外设复位控制寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
APB2 基地址: 0x4002_2000					
APB2_CFG	0x00	读/写	APB2 总线外设时钟使能寄存器	0x0000_0000	0x0000_0000
APB2_RST	0x04	读/写	APB2 总线外设复位控制寄存器	0x0000_0000	0x0000_0000

5 中断

- M0+内核最多提供 32 个中断源，中断号为 0~31，SC32M13X&SCDx13X 系列共 22 个中断源
- 四级中断优先级可设，中断优先级通过内核寄存器组 Interrupt priority registers 设置

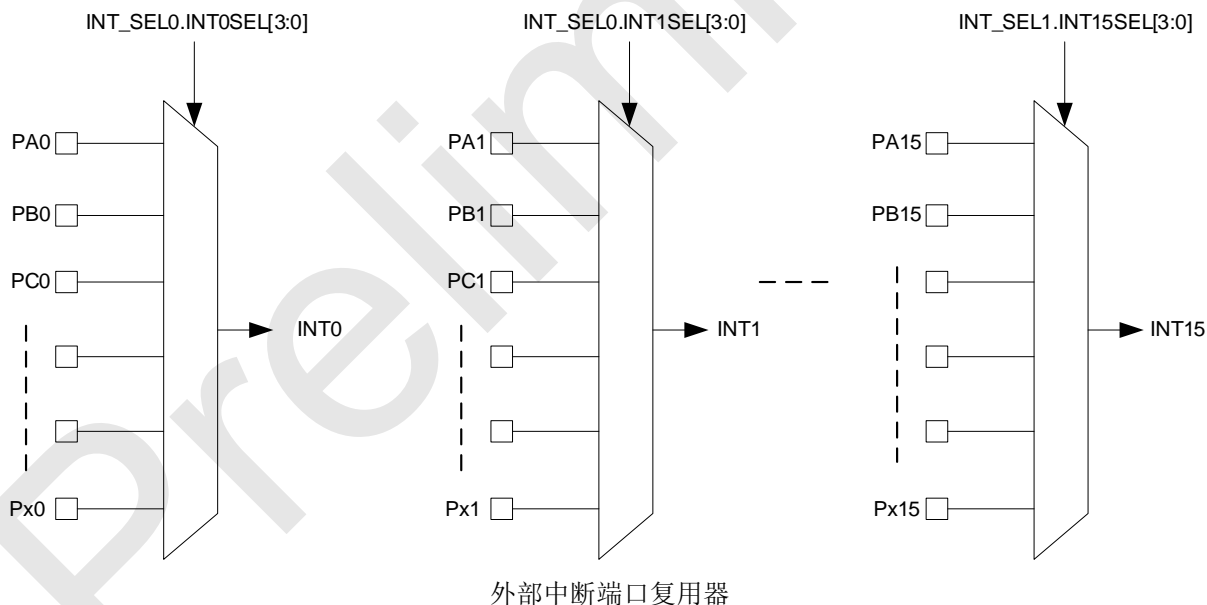
5.1 外部中断 INT0~8, 11~15

外部中断有 14 个中断源，共占用 4 个中断向量，这 14 个外部中断源，全部可设上升沿、下降沿、双沿中断，经设置后可覆盖到所有的 GPIO 管脚，软件置起相应中断标志位（RIF/FIF 置 1），可触发进入相应的中断。

SC32M13X&SCDx13X 系列外部中断的特性如下：

- 14 个 INT 中断源，共占用 4 个中断向量
- INT 经切换设置后可覆盖到所有的 GPIO 管脚
- 全部可设上升沿、下降沿、双沿中断，且均有独立对应中断标志位
- 软件置起相应中断标志位，可触发进入相应的中断

注意：切换 INT 功能时，用户需手动将 INTn（n=0~8, 11~15）所在的 GPIO 端口设置为输入带上拉状态，端口输出状态下检测不到外部中断。



5.2 中断与事件

- NVIC 关闭，中断请求屏蔽位开启，可产生事件，不产生中断
- NVIC 开启后，中断请求屏蔽位做模块内的总中断开关

5.3 中断向量表

中断向量号	中断号	优先级	中断向量地址	中断源	内核/NVIC 使能位	中断请求屏蔽位	中断子开关	中断标志位	唤醒 stop
0	-	-	0x0000_0000	-		-	\	\	能
1	-	固定	0x0000_0004	RESET	PRIMASK	SCB	\	\	能
2	-	固定	0x0000_0008	NMI_Handler		SCB	\	\	能
3	-	固定	0x0000_000C	HardFault_Handler	PRIMASK	SCB	\	\	能
4~10	-	-	0x0000_0010 0x0000_0028	-		-	\	\	能
11	-	可设		SVC_Handler	PRIMASK	SCB	\	\	能
12~13	-	-	0x0000_0030 0x0000_0034	-		-	\	\	能
14	-	可设	0x0000_0038	PendSV_Handler	PRIMASK	SCB	\	\	能
15	-	可设	0x0000_003C	SysTick_Handler	PRIMASK	SysTick_CTRL	\	\	能
16	0	可设	0x0000_0040	INT0	NVIC->ISER[0].0	INTF_IE->ENFx, x=0 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
17	1	可设	0x0000_0044	INT1-7	NVIC->ISER[0].1	INTF_IE->ENFx, x=1~7 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
18	2	可设	0x0000_0048	INT8 INT11	NVIC->ISER[0].2	INTF_IE->ENFx, x=8,11 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
19	3	可设	0x0000_004C	INT12-15	NVIC->ISER[0].3	INTF_IE->ENFx, x=12~15 INTR_IE->ENR _x	\	INTF_STS->FIF _x INTR_STS->RIF _x	能
20	4	可设	0x0000_0050	\	NVIC->ISER[0].4	\	\	\	
21	5	预留	0x0000_0054	\	NVIC->ISER[0].5	\	\	\	
22	6	可设	0x0000_0058	BTM	NVIC->ISER[0].6	BTM_CON->INTEN	\	BTM_STS->BTMIF	能
23	7	可设	0x0000_005C	UART0	NVIC->ISER[0].7	UART0_IDE->INTEN	UART0_IDE->TXIE UART0_IDE->RXIE	UART0_STS->TXIF UART0_STS->RXIF	能
24	8	可设	0x0000_0060	UART1	NVIC->ISER[0].8	UART1_IDE->INTEN	UART1_IDE->TXIE UART1_IDE->RXIE	UART1_STS->TXIF UART1_STS->RXIF	能
25	9	可设	0x0000_0064	SPI0	NVIC->ISER[0].9	SPI0_IDE->INTEN	SPI0_IDE->RXNEIE SPI0_IDE->TBIE SPI0_IDE->RXIE SPI0_IDE->RXHIE SPI0_IDE->TXHIE	SPI0_STS->SPIF SPI0_STS->RXNEIF SPI0_STS->TXEIF SPI0_STS->RXHIF SPI0_STS->TXHIF	不能
26	10	预留	0x0000_0068	\	NVIC->ISER[0].10	\	\	\	
27	11	可设	0x0000_006C	DMA0	NVIC->ISER[0].11	DMA0_CFG->INTEN	DMA0_CFG->TCIE DMA0_CFG->HTIE DMA0_CFG->TEIE	DMA0_STS->GIF DMA0_STS->TCIF DMA0_STS->HTIF DMA0_STS->TEIF	不能
28	12	可设	0x0000_0070	DMA1	NVIC->ISER[0].12	DMA1_CFG->INTEN	DMA1_CFG->TCIE DMA1_CFG->HTIE DMA1_CFG->TEIE	DMA1_STS->GIF DMA1_STS->TCIF DMA1_STS->HTIF DMA1_STS->TEIF	不能
29	13	可设	0x0000_0074	DMA2	NVIC->ISER[0].13	DMA2_CFG->INTEN	DMA2_CFG->TCIE DMA2_CFG->HTIE DMA2_CFG->TEIE	DMA2_STS->GIF DMA2_STS->TCIF DMA2_STS->HTIF DMA2_STS->TEIF	不能
30	14	可设	0x0000_0078	DMA3	NVIC->ISER[0].14	DMA3_CFG->INTEN	DMA3_CFG->TCIE DMA3_CFG->HTIE DMA3_CFG->TEIE	DMA3_STS->GIF DMA3_STS->TCIF DMA3_STS->HTIF DMA3_STS->TEIF	不能
31	15	可设	0x0000_007C	TIM0	NVIC->ISER[0].15	TIM0_IDE->INTEN	TIM0_IDE->TIE TIM0_IDE->EXFIE TIM0_IDE->EXRIE	TIM0_STS->TIF TIM0_STS->EXIF TIM0_STS->EXIR	不能
32	16	可设	0x0000_0080	TIM1	NVIC->ISER[0].16	TIM1_IDE->INTEN	TIM1_IDE->TIE TIM1_IDE->EXFIE TIM1_IDE->EXRIE	TIM1_STS->TIF TIM1_STS->EXIF TIM1_STS->EXIR	不能
33	17	可设	0x0000_0084	TIM2	NVIC->ISER[0].17	TIM2_IDE->INTEN	TIM2_IDE->TIE TIM2_IDE->EXFIE TIM2_IDE->EXRIE	TIM2_STS->TIF TIM2_STS->EXIF TIM2_STS->EXIR	不能
34	18	可设	0x0000_0088	TIM3	NVIC->ISER[0].18	TIM3_IDE->INTEN	TIM3_IDE->TIE TIM3_IDE->EXFIE TIM3_IDE->EXRIE	TIM3_STS->TIF TIM3_STS->EXIF TIM3_STS->EXIR	不能
35	19	可设	0x0000_008C	PCAP	NVIC->ISER[0].19	PCAP_IDE->INTEN	PCAP_IDE->TIE PCAP_IDE->FCAPIE PCAP_IDE->RCAPIE PCAP_IDE->PHASEEIE	PCAP_STS->TIF PCAP_STS->FCAPIF PCAP_STS->RCAPIF PCAP_STS->PCAPIF PCAP_STS->PHASEEIF	不能

中断向量号	中断号	优先级	中断向量地址	中断源	内核/NVIC 使能位	中断请求屏蔽位	中断子开关	中断标志位	唤醒 stop
36	20	预留	0x0000_0090	\	\	\	\	\	
37	21	可设	0x0000_0094	EPWM	NVIC->ISER[0].21	EPWM_IDE->INTEN	EPWM_IDE->OVFIE EPWM_IDE->UNFIE EPWM_IDE->CBCIE EPWM_IDE->OSTIE	EPWM_STS->OVFIF EPWM_STS->UNFIF EPWM_STS->CBCIF EPWM_STS->OSTIF	不能
38	22	可设	0x0000_0098	OP1_CMP	NVIC->ISER[0].22	OP_IDE->INTEN	OP_IDE->OP_CMP1IE	OP_STS->OP_CMP1IF	不能
39	23	可设	0x0000_009C	TWI0	NVIC->ISER[0].23	TWI0_IDE->INTEN	\	TWI0_STS->TWIF	不能
40	24	预留	0x0000_00A0	\	\	\	\	\	
41	25	预留	0x0000_00A4	\	\	\	\	\	
42	26	预留	0x0000_00A8	\	\	\	\	\	
43	27	预留	0x0000_00AC	\	\	\	\	\	
44	28	预留	0x0000_00B0	\	\	\	\	\	
45	29	可设	0x0000_00B4	ADC	NVIC->ISER[0].29	ADC_IDE->INTEN	ADC_IDE->EOCIE ADC_IDE->EOSIE0 ADC_IDE->EOSIE1 ADC_IDE->UPTHIE ADC_IDE->DOWTHIE	ADC_STS->ADCIF ADC_STS->EOSIF0 ADC_STS->EOSIF1 ADC_STS->UPTHIF ADC_STS->DOWTHIF	不能
46	30	可设	0x0000_00B8	CMP0	NVIC->ISER[0].30	CMPX_IDE->INTEN	CMPX_IDE->CMP0IE	CMPX_STS->CMP0IF	能
				CMP1			CMPX_IDE->CMP1IE	CMPX_STS->CMP1IF	
				CMP2			CMPX_IDE->CMP2IE	CMPX_STS->CMP2IF	
47	31	预留	0x0000_00BC	\	\	\	\	\	

5.4 外部中断寄存器

5.4.1 外部中断相关寄存器表

5.4.1.1 INT 中断下降沿使能寄存器 INTF_IE

寄存器	读/写	说明	复位值	上电初始值
INTF_IE	读/写	INT 中断下降沿使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
ENF15	ENF14	ENF13	ENF12	ENF11	-	-	ENF8
7	6	5	4	3	2	1	0
ENF7	ENF6	ENF5	ENF4	ENF3	ENF2	ENF1	ENF0

位编号	位符号	说明
15~11 8~0	ENFx (x=0~8, 11~15)	INTx 下降沿中断使能控制位 (x=0~8, 11~15) 0: 无效 1: 使能
31~16 10~9	-	保留

5.4.1.2 INT 中断上升沿使能寄存器 INTR_IE

寄存器	读/写	说明	复位值	上电初始值
INTR_IE	读/写	INT 中断上升沿使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
ENR15	ENR14	ENR13	ENR12	ENR11	-	-	ENR8
7	6	5	4	3	2	1	0
ENR7	ENR6	ENR5	ENR4	ENR3	ENR2	ENR1	ENR0

位编号	位符号	说明
15~11 8~0	ENRx (x=0~8, 11~15)	INTx 上升沿中断使能控制位 (x=0~8, 11~15) 0: 无效 1: 使能
31~16 10~9	-	保留

5.4.1.3 外部中断端口选择寄存器 0 INT_SELO

寄存器	读/写	说明	复位值	上电初始值
INT_SELO	读/写	外部中断端口选择寄存器 0	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
INT7SEL[3:0]				INT6SEL[3:0]			
23	22	21	20	19	18	17	16
INT5SEL[3:0]				INT4SEL[3:0]			
15	14	13	12	11	10	9	8
INT3SEL[3:0]				INT2SEL[3:0]			
7	6	5	4	3	2	1	0
INT1SEL[3:0]				INT0SEL[3:0]			

位编号	位符号	说明
31~0	INTxSEL[3:0] (x=0~7)	外部中断 INTx 端口选择位 (x=0~7) 0000: 选择 PAx 端口 0001: 选择 PBx 端口 0010: 选择 PCx 端口 其它: 保留 注意: 同一个外部中断口在同一时间内只能选择到一个 GPIO 口

5.4.1.4 外部中断端口选择寄存器 1 INT_SEL1

寄存器	读/写	说明	复位值	上电初始值
INT_SEL1	读/写	外部中断端口选择寄存器 1	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
INT15SEL[3:0]				INT14SEL[3:0]			

23	22	21	20	19	18	17	16
INT13SEL[3:0]				INT12SEL[3:0]			
15	14	13	12	11	10	9	8
INT11SEL[3:0]				-			
7	6	5	4	3	2	1	0
-				INT8SEL[3:0]			

位编号	位符号	说明
31~12 3~0	INTxSEL[3:0] (x=8, 11~15)	外部中断 INTx 端口选择位 (x=8, 11~15) 0000: 选择 PAx 端口 0001: 选择 PBx 端口 0010: 选择 PCx 端口 其它: 保留 <u>注意:同一个外部中断口在同一时间内只能选择到一个 GPIO 口</u>
11~4	-	保留

5.4.1.5 外部中断下降沿控制寄存器 INTF_CON

寄存器	读/写	说明	复位值	上电初始值
INTF_CON	读/写	外部中断下降沿控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
FT15	FT14	FT13	FT12	FT11	-	-	FT8
7	6	5	4	3	2	1	0
FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0

位编号	位符号	说明
15~11 8~0	FTx (x=0~8, 11~15)	INTx 下降沿检测使能 (x=0~8, 11~15) 0: 无效 1: 使能
31~16 10~9	-	保留

5.4.1.6 外部中断上升沿控制寄存器 INTR_CON

寄存器	读/写	说明	复位值	上电初始值
INTR_CON	读/写	外部中断上升沿控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
RT15	RT14	RT13	RT12	RT11	-	-	RT8
7	6	5	4	3	2	1	0
RT7	RT6	RT5	RT4	RT3	RT2	RT1	RT0

位编号	位符号	说明
15~11 8~0	RTx (x=0~8, 11~15)	INTx 上升沿检测使能 (x=0~8, 11~15) 0: 无效 1: 使能
31~16 10~9	-	保留

5.4.1.7 外部中断下降沿标志寄存器 INTF_STS

寄存器	读/写	说明	复位值	上电初始值
INTF_STS	读/写	外部中断下降沿标志寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
FIF15	FIF14	FIF13	FIF12	FIF11	-	-	FIF8
7	6	5	4	3	2	1	0
FIF7	FIF6	FIF5	FIF4	FIF3	FIF2	FIF1	FIF0

位编号	位符号	说明
15~11 8~0	FIFx (x=0~8, 11~15)	INTx 端口下降沿捕获标志位 (x=0~8, 11~15) 检测到下降沿, 该位由硬件置 1, 通过软件写 0 清 0。 也可通过软件对该位写 1 触发下降沿捕获中断。
31~16 10~9	-	保留

5.4.1.8 外部中断上升沿标志寄存器 INTR_STS

寄存器	读/写	说明	复位值	上电初始值
INTR_STS	读/写	外部中断上升沿标志寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
RIF15	RIF14	RIF13	RIF12	RIF11	-	-	RIF8
7	6	5	4	3	2	1	0
RIF7	RIF6	RIF5	RIF4	RIF3	RIF2	RIF1	RIF0

位编号	位符号	说明
15~11 8~0	RIFx (x=0~8, 11~15)	INTx 端口上升沿捕获标志位 (x=0~8, 11~15) 检测到上升沿, 该位由硬件置 1, 通过软件写 0 清 0。 也可通过软件对该位写 1 触发上升沿捕获中断。
31~16 9~10	-	保留

5.4.2 外部中断寄存器映射

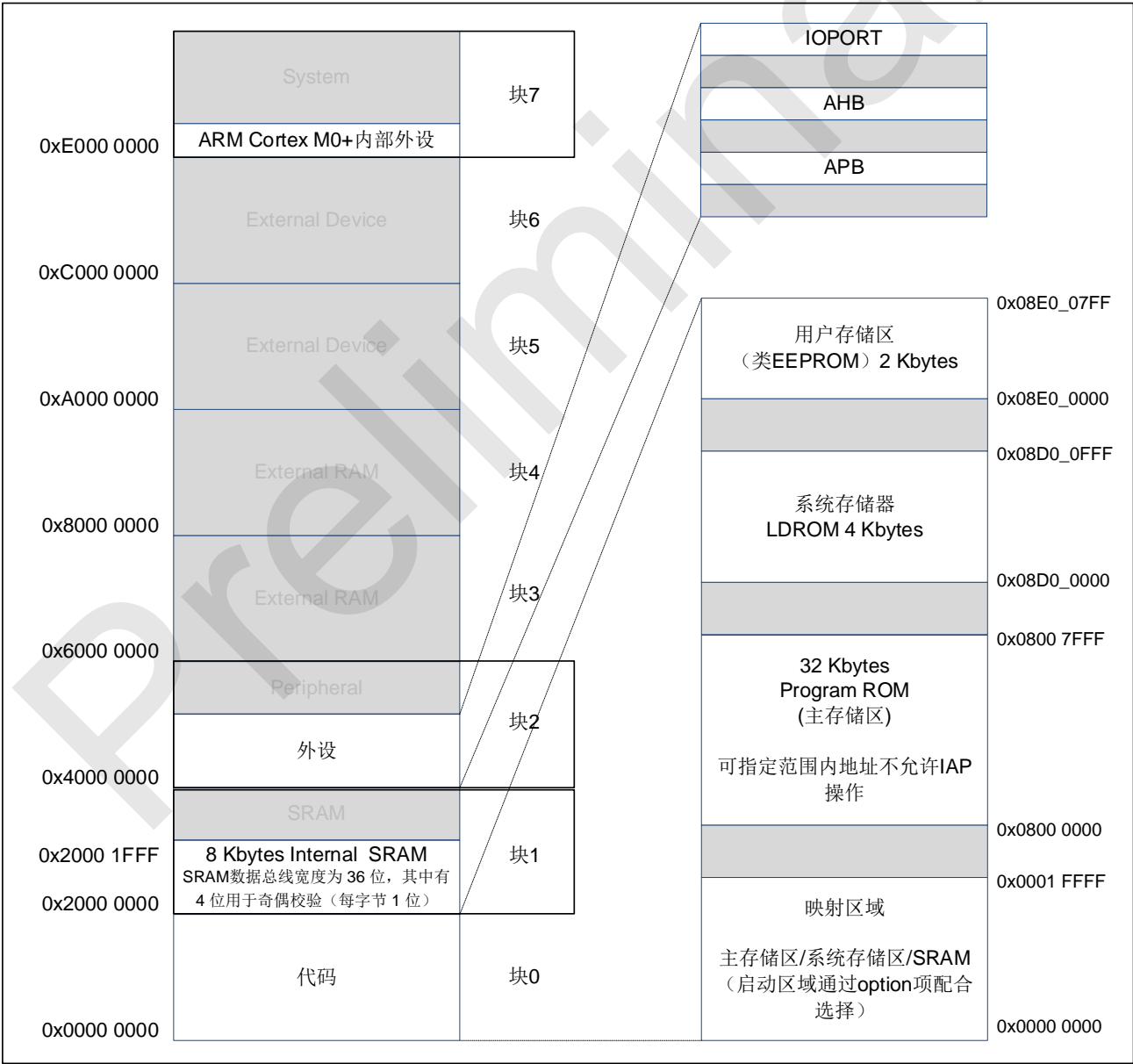
寄存器	偏移地址	读/写	说明	复位值	上电初始值
外部中断基地址：0x4001_1800					
INTF_IE	0x00	读/写	INT 中断下降沿使能寄存器	0x0000_0000	0x0000_0000
INTR_IE	0x20	读/写	INT 中断上升沿使能寄存器	0x0000_0000	0x0000_0000
INT_SEL0	0x40	读/写	外部中断端口选择寄存器 0	0x0000_0000	0x0000_0000
INT_SEL1	0x60	读/写	外部中断端口选择寄存器 1	0x0000_0000	0x0000_0000
INTF_CON	0x80	读/写	外部中断下降沿控制寄存器	0x0000_0000	0x0000_0000
INTR_CON	0xA0	读/写	外部中断上升沿控制寄存器	0x0000_0000	0x0000_0000
INTF_STS	0xC0	读/写	外部中断下降沿标志寄存器	0x0000_0000	0x0000_0000
INTR_STS	0xE0	读/写	外部中断上升沿标志寄存器	0x0000_0000	0x0000_0000

6 存储

6.1 概述

程序存储器、数据存储器、寄存器排列在同一个线性（即地址连续）的 4 GB 地址空间内。各字节按小端格式在存储器中编码。字中编号最低的字节被视为该字的最低有效字节，而编号最高的字节被视为最高有效字节。可寻址的存储空间分为 8 个块，每个块为 512 MB。

6.2 存储框图



SC32M13X&SCDx13X 存储器映射图

6.3 特性

- 存储 Flash 位宽为 32 Bits，可反复写入 10 万次
- 常温下数据保存时间为 100 年以上。
- Flash 的组成结构如下：
 - 最大 32 Kbytes APROM（主存储区）
 - 4 Kbytes LDROM（系统存储区）
 - 2 Kbytes 类 EEPROM（用户存储区）
 - 8 Kbytes 数据存储器 SRAM
 - 96 Bits Unique ID

6.4 APROM（主存储区）

- 最大存储容量：32 Kbytes
- 扇区（sector）大小：512 bytes
- 支持操作：读/ 写/ 扇区擦除/ 全擦除/ 查空
- CPU（Cortex®-M0+）通过 AHB 总线访问 Flash
- 程序默认从主存储区启动，用户可通过 Customer Option OP_BL[1:0]选择程序从 SRAM、LDROM 等其它区域启动
- 读保护：即读取加密，当读保护开启后，仅主存储区启动运行的程序可读取主存储区信息，其它区域启动或第三方工具均无法获取主存储区信息
- 写保护：提供两段禁止 IAP 操作的硬件写保护区域，用户可按扇区为单位设定该区域的范围

APROM（32 Kbytes）分为 64 个 512 bytes 的扇区（sector），用户烧录时，目标地址所属的 Sector 将被强制擦除后写入数据；用户写操作时，必须先擦除，再写入数据。



SC32M13X&SCDx13X 系列 32Kbytes APROM Sector 分区示意

6.5 2 Kbytes 类 EEPROM（用户存储区）

2K bytes 独立 EEPROM 区域地址为 0x08E0_0000 H~ 0x08E0_07FF H，由 IAPADE 寄存器设定。独立 EEPROM 可反复写入 10 万次，常温下数据保存时间为 100 年以上。独立 EEPROM 支持查空、编程、校验、擦除和读取功能。

EEPROM 共有 4 个 512 bytes 的扇区（sector）：

512 bytes	08E0_07FF H
512 bytes	08E0_05FF H
512 bytes	08E0_03FF H
512 bytes	08E0_01FF H
	08E0_0000 H

SC32M13X&SCDx13X EEPROM Sector 分区示意

注意：EEPROM 擦写次数为 10 万次，用户擦写不要超过 EEPROM 的额定烧写次数，否则会出现异常！

6.6 4 Kbytes LDROM（系统存储区）

- 系统存储区为 4 Kbytes LDROM，出厂固化 ISP 程序，该区域用户无法访问或改写
- 嵌入式自举程序为固化的 ISP 程序，该指令公开，允许用户通过 UART 重新编程 Flash。程序运行期间，若 500ms 内未接收到升级指令，则自动跳转至主存储区（0X0800 0000）执行

6.6.1 BootLoader

支持硬件和软件两种 BootLoad 方式，用户可根据需求灵活选择：

- 软件方式：通过软件划分 BootLoad 和 APP 区域、修改 VTOR 可轻易实现 BootLoad、APP 中断共用，调整各区大小
- 硬件方式：4 Kbytes 固定“系统存储区”作为专用 BootLoader 区域，用户不可对其进行读写操作：
 - 系统存储区作为一个固化的 BootLoader 空间，其中的程序在出厂前已烧录完成，用户不可读写。
 - 嵌入式自举程序位于系统存储区中，在生产阶段已完成编程。具有固化的 ISP 程序，该指令已公开，用户可利用该程序通过 UART 重新编程 Flash。

6.7 SRAM

- Internal SRAM: 8 Kbytes，地址 0x2000 0000 ~ 0x2000 1FFF
- 支持奇偶校验：
 - 额外的 1Kbytes RAM 用于奇偶校验：即 SRAM 数据总线宽度为 36 位，其中有 4 位用于奇偶校验（每字节 1 位）

- 奇偶校验位在写入 SRAM 时进行计算和保存，在读取时自动进行校验。如果某一位失败，则将生成不可屏蔽中断（Cortex®-M0+ NMI）
- 提供独立的 SRAM 奇偶校验错误标志 SRAMPEIF。

注意：当启用 SRAM 奇偶校验时，建议在代码开始处使用软件初始化整个 SRAM，以免在读取非初始化位置时出现奇偶校验错误。

- 用户可通过 Customer Option OP_BL[1:0]选择程序从 SRAM 启动
- 能够以最大系统时钟频率按字节、半字（16 位）或全字（32 位）访问，无等待状态，因此可由 CPU 和 DMA 访问。

6.8 启动区域选择（自举）

复位后，用户可自行设置所需的自举模式配置。

退出待机模式后，还可以对启动模式配置进行重新采样。该启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

自举区域选择有三种：主存储区、系统存储区和 SRAM，详细描述如下：

6.8.1 从主存储区自举

主存储区在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x0800 0000) 访问。换句话说：程序可从地址 0x0000 0000 或 0x0800 0000 开始访问。

6.8.2 从系统存储区自举

- 系统存储区（4 Kbytes LDR0M）作为一个固化的 BootLoader 空间，其中的程序是出厂前烧录好，用户不可读写。
- 嵌入式自举程序：嵌入式自举程序位于系统存储区中，在生产阶段编程。固化的 ISP 程序，该指令公开，可以利用该程序通过 UART 重新编程 Flash。

6.8.3 从嵌入式 SRAM 自举

SRAM 在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x2000 0000) 访问。

6.8.4 自举模式设置

通过寄存器控制位 BTLD[1:0]配合软件复位 RST 控制位可实现三种自举模式，BTLD 和 RST 受 IAP_KEY 保护：

- ① 设置 BTLD[1:0]=0x00，芯片软件复位后从主存储区（APROM）启动
- ② 设置 BTLD[1:0]=0x01，芯片软件复位后从系统存储区（LDR0M）启动
- ③ 设置 BTLD[1:0]=0x10，芯片软件复位后从嵌入式 SRAM 启动

在芯片烧录阶段，通过 Customer Option 项 OP_BL[1:0]实现芯片上电初始启动区域选择：

- ① 在 customer option 中，设置 OP_BL[1:0]=0x00，芯片复位后从主存储区（APROM）启动
- ② 在 customer option 中，设置 OP_BL[1:0]=0x01，芯片复位后从系统存储区（LDR0M）启动
- ③ 在 customer option 中，设置 OP_BL[1:0]=0x10，芯片复位后从嵌入式 SRAM 启动

6.9 96 Bits Unique ID

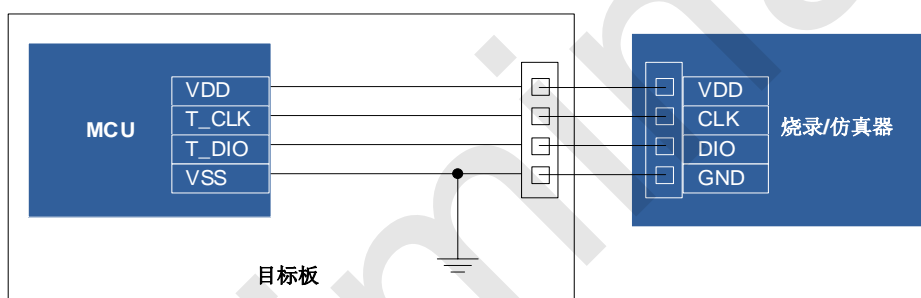
SC32M13X&SCDx13X 提供了一个独立的 Unique ID 区域，出厂前会预烧一个 96 Bits 的唯一码，用以确保该芯片的唯一性。用户获得序列号的唯一方式是通过 IAP 指令读取。

6.10 User ID 区域

User ID 区域，出厂时写入用户定制 ID，用户可对其进行读操作，但禁止对 User ID 区域进行写操作。

6.11 编程

SC32M13X&SCDx13X 的 Flash 通过 T_DIO、T_CLK、VDD、VSS 来进行编程，具体连接关系如下：



ICP 模式 Flash Writer 编程连接示意图

T_DIO、T_CLK 是 2 线 JTAG 烧写和仿真的信号线，用户在烧录时可通过 Customer Option 项配置这两端口的模式：JTAG 专用模式和常规模式（JTAG 专用口无效）。

注意：UART0 的信号引脚支持两种映射方案：

- 映射 1：RXD0 / TXD0
- 映射 2：RXD0A / TXD0A

当选择映射 1（RXD0/TXD0）时，该组引脚与系统烧录/调试接口（T_CLK / T_DIO）复用。在此映射下，若启用全双工通信，T_CLK / T_DIO 可能会与 UART0 的 RXD0 接收时序产生冲突，导致通信异常。因此，选择映射 1 时必须将 UART0 配置为半双工通信模式，以避免此硬件冲突并保证通信稳定性。

如需使用全双工 UART 通信，请将管脚映射至映射 2（RXD0A/TXD0A）。

6.11.1 JTAG 专用模式

JTAG 专用模式下，T_DIO、T_CLK 为烧写仿真专用口，与之复用的其它功能不可用。此模式一般用于在线调试阶段，方便用户仿真调试；JTAG 专用模式生效后，芯片无需重新上下电即可直接进入烧录或仿真模式。

6.11.2 常规模式（JTAG 专用口无效）

常规模式下，JTAG 功能不可用，端口上与之复用的其它功能可正常使用。此模式可防止烧录口占用 MCU 管脚，方便用户最大化利用 MCU 资源。

注意：当 JTAG 专用口无效的配置设定成功后，芯片必须彻底下电再重新上电后才能进入烧录或仿真模式，这样就会影响到带电模式下的烧录和仿真。赛元建议用户在量产烧录时选择 JTAG 专用口无效的配置，在研发调试阶段选择 JTAG 模式。

相关 Customer Option 如下：

寄存器	读/写	说明	复位值
COPT1_CFG@0xC2	读/写	Customer Option 映射寄存器 1	0x0000_0000

7	6	5	4	3	2	1	0
ENWDT	DISJTG	DISRST	-	-	-	OP_BL[1:0]	

位编号	位符号	说明
6	DISJTG	JTAG 口切换控制位 0: JTAG 模式使能，对应管脚只能作为 T_CLK/ T_DIO 使用 1: 常规模式（Normal），JTAG 功能无效

6.12 安全加密

SC32M13X&SCDx13X 系列的安全加密功能主要是对 APROM 进行读保护加密：用户可在烧录阶段通过赛元专用烧录套件的烧录上位机的 Customer Option 项配置读保护加密功能，选择是否开启 Flash 读保护，进入加密模式：

- 芯片默认出厂时 Flash 为非加密状态
- 读保护加密功能无映射寄存器，用户只能在烧录阶段通过赛元专用烧录套件的烧录上位机的 Customer Option 项配置，必须经过烧录才能完成修改。
- 加密失能：可对主存储区执行读取、编程和擦除操作。也可对选项字节和备份寄存器进行所有操作。
- 加密使能：
 - 主存储区启动：在用户模式下执行的代码（从用户 APROM 自举）可对主存储区执行所有操作。
 - 调试、从 SRAM 启动以及从系统存储区启动：在调试模式下或当代码从 SRAM 或系统存储区启动时，主存储区完全不可访问。
- 取消加密使能必须先对主存储区进行全擦操作。

6.12.1 安全加密操作权限

启动区域/工具	解锁状态					读保护加密状态				
	读	写	块擦	全擦	操作写保护区域	读	写	块擦	全擦	操作写保护区域
从 APROM 自举	√	√	√	\	禁止	√	√	√	\	禁止
调试/从 SRAM 自举	√	√	√	√	禁止	禁止	禁止	禁止	禁止	禁止
从系统存储区自举	√	√	√	√	√	禁止	禁止	禁止	√	禁止

6.13 In Application Programming (IAP)

SC32M13X&SCDx13X 的 APROM 中的 IAP 区域可进行 In Application Programming (IAP)操作，用户可以通过 IAP 操作实现远程程序更新，也可以通过 IAP 读操作获取 Unique ID 区域或 User ID 区域信息。进行 IAP 写数据操作前，用户必须对目标地址所属的 Sector 进行扇区擦除操作。

芯片默认出厂时 APROM 允许全局 IAP 操作。芯片内部提供两组 APROM 写保护区域，按照扇区单位设置起始，被保护的区域禁止 IAP 操作，设置规则如下：

IAPPORx 寄存器值 (x=A 或 B)	IAPPOR 保护区域
IAPPORx_ST = IAPPORx_ED	扇区 IAPPORx
IAPPORx_ST > IAPPORx_ED	无 (不受保护)
IAPPORx_ST < IAPPORx_ED	从 IAPPORx_ST 到 IAPPORx_ED 的扇区

用户在烧录时可通过 Customer Option 项里的“Flash sectors protection”配置这两段 APROM 写保护区域。

6.13.1 IAP 操作相关寄存器

对写保护区域之外的 APROM 进行 IAP 操作，可通过以下寄存器实现：

6.13.1.1 数据保护寄存器 IAP_KEY

寄存器	读/写	说明	复位值	上电初始值
IAP_KEY	读/写	数据保护寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
IAPKEY[31:24]							
23	22	21	20	19	18	17	16
IAPKEY[23:16]							
15	14	13	12	11	10	9	8
IAPKEY[15:8]							
7	6	5	4	3	2	1	0
IAPKEY[7:0]							

位编号	位符号	说明
31~0	IAPKEY[31:0]	数据保护锁 为防止因电气干扰等原因出现对 Flash 的意外操作，IAP_CON 寄存器执行写操作前需要通过 IAPKEY 解锁。解锁顺序如下： 1. 写入 KEY1 = 0x1234_5678 2. 写入 KEY2 = 0xA05F_05FA 如果操作顺序不正确，会锁定 IAP_CON 寄存器，直到下次系统复位才会解锁。

6.13.1.2 IAP 扇区编号设置寄存器 IAP_SNB

寄存器	读/写	说明	复位值	上电初始值
IAP_SNB	读/写	IAP 扇区编号设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
IAPADE[7:0]							
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	IAPSNB[8]
7	6	5	4	3	2	1	0
IAPSNB[7:0]							

位编号	位符号	说明
31~24	IAPADE[7:0]	IAP 操作区域扩展地址 通过向 IAPADE 写入不同的值，使得 IAP 操作指向不同的操作区域： 0x00: 无效 0x4C: APROM 0x69: EEPROM 0xF1: customer option 其它: 保留
8~0	IAPSNB[8:0]	扇擦/页擦时的 IAP 操作扇区编号设置： 实际操作扇区的起始地址= Flash 基址 + [IAPSNB[8:0] x 0x200]
23~9	-	保留

6.13.1.3 IAP 控制寄存器 IAP_CON（写保护）

*该寄存器受写保护，必须操作数据保护寄存器 IAP_KEY 才能修改。

寄存器	读/写	说明	复位值	上电初始值
IAP_CON	读/写	IAP 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
LOCK	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	CONT[5:0]					
15	14	13	12	11	10	9	8
-	-	-	-	DMAEN	BTLD[1:0]		RST
7	6	5	4	3	2	1	0
ERASE	-	SERASE	PRG	-	-	CMD[1:0]	

位编号	位符号	说明
31	LOCK	对该位写 1 后，IAP_CON 寄存器被锁定。当检测到解锁序列时，由硬件将该位清 0。 如果解锁操作失败，该位仍保持置 1，直到下一次系统复位。
21~16	CONT[5:0]	IAP 写数据加速设置位 以 4bytes 连续地址为单位执行连续的 IAP 写操作，通过 CONT[5:0] 设置连续烧录长度，有效范围 0x01 ~ 0x20，即一次最多可连续烧录 32bits*32=128bytes 操作步骤： 1.待烧录的数据暂存在 RAM 区域，RAM buffer 最大 128bytes； 2.解锁 IAP_KEY，使能 IAP_CON.PRGM。 3.使能 IAP_CON.DMAEN，设置 CONT[5:0]；

位编号	位符号	说明
		4.配置 DMA，选择其中一个空闲通道，通道源地址指向的 RAM buffer，目标地址指向待烧录区域的起始地址，注意烧录目标区域起始地址要 4bytes 对齐； 5.配置 DMA 通道，TPTYPE=1，选择批量模式，设置 TXWIDTH[1:0]=32bit，DMACNT[31:0]=CONT[5:0]； 6.触发 DMA 通道的软件搬运，SWREQ=1，开始执行连续烧录。
11	DMAEN	DMA 协助连续编程控制位 0：关闭 DMA 协助连续编程功能 1：开启 DMA 协助连续编程功能
10~9	BTLD[1:0]	软件复位后程序启动区域选择位： 00：芯片软件复位后从 APROM（主存储区）启动 01：芯片软件复位后从 LDROM（系统存储区）启动 10：芯片软件复位后从嵌入式 SRAM 启动 11：保留
8	RST	软件复位控制位 0：程序正常运行 1：对该位写 1 后系统立刻复位
7	ERASE	全擦（All Erase）控制位 0：无操作 1：对该位写 1 后再配置 CMD[1:0]=10，则进入 APROM 全擦除操作，APROM 将全部擦除
5	SERASE	扇区擦除（Sector Erase）控制位 0：无操作 1：对该位写 1 后再配置 CMD[1:0]=10，则进入 APROM 扇区擦除操作，APROM 的指定 Sector 将被擦除
4	PRG	编程（Program）控制位 0：禁止 Flash 编程 1：使能 Flash 编程
1~0	CMD[1:0]	IAP 命令使能控制位 10：执行擦除操作命令 其它：保留 注意： <ol style="list-style-type: none"> 1. 擦除操作命令位写 1 后，必须配置 CMD[1:0]=10，相应的操作才会开始执行 2. 一次只能执行 1 种 IAP 操作，所以 ERASE/SERASE 位同一时间只能有一位置 1
30~22 15~12 6 3~2	-	保留

6.13.1.4 IAP 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
IAP 基地址：0x4000_03C0					
IAP_KEY	0x00	读/写	数据保护寄存器	0x0000_0000	0x0000_0000
IAP_SNB	0x04	读/写	IAP 扇区编号设置寄存器	0x0000_0000	0x0000_0000
IAP_CON	0x0C	读/写	IAP 控制寄存器	0x0000_0000	0x0000_0000

6.14 选项字节区域（Customer Option）

SC32M13X&SCDx13X 有单独的一块 Flash 区域用于保存客户的上电初始值设置，此区域称为选项字节区域（Customer Option）区域。用户在烧录时可通过上位机对 Customer Option 项进行配置，在烧写过程中将配置值写入 Customer Option 区域，IC 在复位初始化阶段将调用 Customer Option 数据作为初始设置。

也可通过操作 Customer Option 的映射寄存器临时修改 Customer Option 项，但是需要注意：修改映射寄存器仅可实现临时调整，不会对 Customer Option 区域的设置值造成任何影响，芯片复位后，仍会根据烧录时用户选择的 Customer Option 参数进行初始化。

Customer Option 相关映射寄存器的操作方式如下：

Customer Option 相关 SFR 的读写操作由 OPINX 和 OPREG 两个寄存器进行控制，各 Customer Option SFR 的具体位置由 OPINX 确定，如下表所示：

寄存器	地址	说明	复位值	上电初始值
OPINX	0x4000_03F8	Customer Option 指针	0x0000_0000	0x0000_0000
OPREG	0x4000_03FC	Customer Option 寄存器	0x0000_0000	0x0000_0000
COPT0_CFG	0XC1 @ OPINX	Customer Option 映射寄存器 0	0x0000_0000	0x0000_0000
COPT1_CFG	0XC2 @ OPINX	Customer Option 映射寄存器 1	0x0000_0000	0x0000_0000

6.14.1 Customer Option 的映射寄存器

使用 OPINX 配合 OPREG 改写 IFB 映射寄存器之前，应先要打开 Customer Option 寄存器的时钟使能开关 AHB_CFG.IFBEN：

6.14.1.1 AHB 总线外设时钟使能寄存器 AHB_CFG

寄存器	读/写	说明	复位值	上电初始值
AHB_CFG	读/写	AHB 总线外设时钟使能寄存器	0x0010_0000	0x0010_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	CLKDIV[2:0]			-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	IFBEN	CRCEN	DMAEN

位编号	位符号	说明
2	IFBEN	Customer Option 映射寄存器时钟使能位 使用 OPINX 配合 OPREG 改写 IFB 映射寄存器之前，应先要打开时钟使能。 0：禁止 1：使能
31~23 19~3	-	保留

6.14.1.2 Customer Option 映射寄存器 0 COPT_CFG0

寄存器	地址	说明	复位值	上电初始值
COPT_CON0	读/写	Customer Option 映射寄存器 0	0x0000_0000	0x0000_0000

7	6	5	4	3	2	1	0
-	-	-	-	-	DISLVR	LVRS [1:0]	

位编号	位符号	说明
2	DISLVR	LVR 开关 0: LVR 有效 1: LVR 无效
1~0	LVRS [1:0]	LVR 电压选择控制 11: 4.3V 复位 10: 3.7V 复位 01: 2.9V 复位 00: 1.9V 复位
7~3	-	保留

6.14.1.3 Customer Option 映射寄存器 1 COPT_CON1

寄存器	读/写	说明	复位值	上电初始值
COPT_CON1	读/写	Customer Option 映射寄存器 1	0x0000_0000	0x0000_0000

7	6	5	4	3	2	1	0
ENWDT	DISJTG	DISRST	-	-	-	OP_BL[1:0]	

位编号	位符号	说明
7	ENWDT	WDT 开关 1: WDT 开始工作 0: WDT 关闭
6	DISJTG	JTAG 口切换控制位 0: JTAG 模式使能, 对应管脚只能作为 T_CLK/ T_DIO 使用 1: 常规模式 (Normal), JTAG 功能无效
5	DISRST	复位信号口切换控制位 该位只读, 用户不可改写。 0: RST 对应管脚当复位脚使用 1: RST 所在管脚做正常的 GPIO 管脚使用
1~0	OP_BL[1:0]	芯片复位后启动区域选择 该位只读, 用户不可改写。 00: 芯片复位后从 APROM (主存储区) 启动 01: 芯片复位后从 LDR0M (系统存储区) 启动 10: 芯片复位后从嵌入式 SRAM 启动 11: 保留
4~2	-	保留

7 模数转换器（ADC）

7.1 概述

SC32M13X&SCDx13X 系列提供一个 12 位 ADC 逐次逼近型模数转换器。具有 15 个通道，可测量来自 13 个外部源和 2 个内部源的信号，2 个内部源分别是 V_{DD} 电压和芯片温度。每个通道的 A/D 转换可在单采样下进行。ADC 的转换结果存储在一个 32 位数据寄存器中。

7.2 时钟源

- SC32M13X&SCDx13X 系列的 ADC 的采样时钟为 PCLK
- ADC 的单次转换时间约为 404ns

7.3 特性

- 精度：12 位
- 最多支持 15 路通道：
 - 外部 13 路 ADC 采样通道和 I/O 端口的其他功能复用
 - 外部 2 路 AIN 与 OP 复用，可测量 OP 模块的输出信号，分别为 OP0、OP1
 - 内部一路 ADC 可直接测量 V_{DD} 电压
 - 内部一路芯片温度采样通道
- 提供 ADC 阈值看门狗功能，精确监测所有选定通道的转换电压，可同时设定上下阈值，当转换电压超出编程阈值时，可产生中断
- 一路单采样保持电路
- 两种转换模式可选：
 - 单次转换，仅可通过软件触发
 - 序列转换：两组序列可设，可通过 EPWM 计数值触发序列采样，为方便调试，触发信号可通过 ADC_trigger0 输出，仅序列 0 可选择软件触发
- 可设 ADC 转换完成中断，在序列转换模式下，两组序列均有独立的转换完成中断及对应标志位
- 单次转换时间约为 404ns
- 支持 DMA 传输：ADC 转换完成可产生 DMA 请求
- ADC 转换结果支持溢出提醒，当溢出发生时 OVERRUN 标志位置起，且 OVERRUN 标志位与 ADC 转换结果在同一寄存器 ADCV，用户可一次性读取

7.4 ADC 采样和转换时间

LOWSP[2:0] 设置值	采样时钟个数	采样时间 @F _{PCLK} = 72MHz 单位：ns	转换时间典型值 单位：ns	ADC 从采样到完成转换 的总时间 ns
000	3	42	404	446
001	6	83	404	487

LOWSP[2:0] 设置值	采样时钟个数	采样时间 @F _{PCLK} = 72MHz 单位: ns	转换时间典型值 单位: ns	ADC 从采样到完成转换 的总时间 ns
010	9	125	404	529
011	15	208	404	612
100	30	417	404	821
101	60	833	404	1237
110	120	1667	404	2071
111	480	6667	404	7071

7.5 采样模式

7.5.1 单采样模式

SPMODE = 0，为单采样模式，在一个采样转换周期内 1 个通道被采样。单采样模式下：

- 手动触发：对 ADCS 写 1，一次采样一个 ADCISA[4:0]选中的通道并转换，转换结果存放在 ADCVA[11:0]
- 序列转换：符合序列转换触发条件后，按照序列选中的有效 DS_n 编号从小到大的顺序逐个通道进行采样+转换

7.6 转换模式

用户可通过采样模式选择位 ADC_CON.CONT 设置转换模式：

7.6.1 单次转换模式

CONT=0，为单次转换模式。

- SPMODE=0，单采样模式，对 ADCS 写 1，一次采样一个 ADCISA[4:0]选中的通道并转换，转换结果存放在 ADCVA[11:0]

7.6.2 序列转换模式

CONT=1，为序列转换模式。序列模式下有两种触发方式：

- 软件触发：对 ADCS 写 1，可触发一次序列 0 的整体转换
- 硬件触发：最多支持两个硬件触发点，当硬件触发条件符合 EPWM_ADCTRG，n=0~1 设置的触发值，ADC 自动执行相应序列的转换

7.6.2.1 序列设置

最多支持 2 组序列，用户可根据需求灵活设置每组序列的起始采样通道及序列长度，两组序列分段方式：

- 提供 16 个通道设置项 DS_n[4:0]，n=0~15，所有出现在序列里的通道均由 DS_n 设定；
- SQSTR_n[3:0]定义各序列的起始位置；
- SQCNT_n[3:0]定义各序列的采样数量。

例如：

设定 DS _n , n=0~15 右侧序列可选通道均出自此 DS _n 配置		序列 0 SQSTR0[3:0]=0, 序列起始: DS0 SQCNT0[3:0]=13, 序列长度: 14			序列 1 SQSTR1[3:0]=4, 序列起始: DS4 SQCNT1[3:0]=15, 序列长度: 16		
DS _n	设定通道	顺序	DS _n	采样通道	顺序	DS _n	采样通道
DS0	AIN0	1	DS0	AIN0	13	DS0	AIN0
DS1	AIN1	2	DS1	AIN1	14	DS1	AIN1
DS2	可用重复通道	3	DS2	可用重复通道	15	DS2	可用重复通道
DS3	AIN7	4	DS3	AIN7	16	DS3	AIN7
DS4	AIN4	5	DS4	AIN4	1	DS4	AIN4
DS5	可用重复通道	6	DS5	可用重复通道	2	DS5	可用重复通道
DS6	可用重复通道	7	DS6	可用重复通道	3	DS6	可用重复通道
DS7	AIN15	8	DS7	AIN15	4	DS7	AIN15
DS8	AIN8	9	DS8	AIN8	5	DS8	AIN8
DS9	AIN9	10	DS9	AIN9	6	DS9	AIN9
DS10	AIN10	11	DS10	AIN10	7	DS10	AIN10
DS11	AIN11	12	DS11	AIN11	8	DS11	AIN11
DS12	AIN12	13	DS12	AIN12	9	DS12	AIN12
DS13	AIN13	14	DS13	AIN13	10	DS13	AIN13
DS14	1/4 V _{DD}	\	DS14	1/4 V _{DD}	11	DS14	1/4 V _{DD}
DS15	温度采样	\	DS15	温度采样	12	DS15	温度采样

7.6.3 序列使能与禁止

ADC_CON.PWM_TRG_n, n=0~1 分别为两段 ADC 序列的使能开关。ADC_CON.PWM_TRG_n 为 0 则对应序列会被跳过，且不影响其它已使能序列的正常触发。

7.7 ADC 溢出

如果转换后的数据未由 CPU 或 DMA 及时读取，在新转换生成数据之前，会由溢出标志 (OVERRUN) 指示数据溢出事件。

发生溢出时，ADC 会保持工作状态并可继续进行转换。但 OVERRUN 标志将由硬件置 1，ADCV 的值会被最新一次的转换结果覆盖，之前未读取的数据会丢失。

OVERRUN 标志在发生溢出时由硬件置 1，读取 ADCV 后自动清 0。

7.8 ADC 与 DMA 控制器配合使用

选择 DMA 其中一个通道的 REQSRC[5:0]=59，即选择该 DMA 通道的请求源为 ADC，同时将 ADC_IDE 寄存器中的 DMAEN 位置 1，单采样模式下，每次 ADC 转换完成会生成 DMA 请求。在启动 DMA 及 ADC 后，DMA 便可将转换的数据从 ADCV 寄存器传输到用软件选择的目标位置。

当 DMA 无法及时处理 DMA 传输请求，ADC 将产生溢出(OVERRUN=1)，但不会影响到 DMA 传输请求，用户可以读取 RAM 区域的 ADCV 值，判断最高位是否为 1 来查看是否溢出。

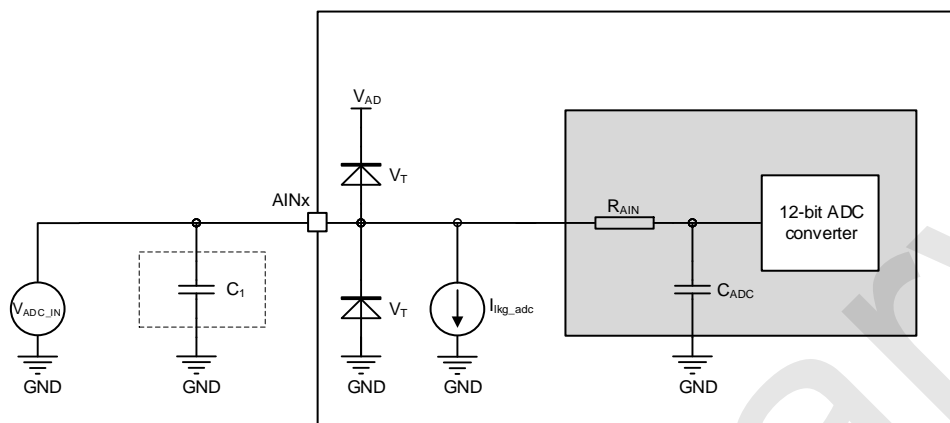
7.9 ADC 转换步骤

用户实际进行 ADC 转换所需要的操作步骤如下：

7.9.1 单采样模式

- ① 将 SPMODE 设置为 0，选择单采样模式；设定 ADC 输入管脚；（设定 AINx 对应的位为 ADC 输入，通常 ADC 管脚会预先固定）；
- ② 通过 REFSEL 位设定 ADC 基准源，若选择 VREF 则需额外设定 VREF 的基准值
- ③ ADCEN 写 1，开启 ADC 模块电源；
- ④ 设置 ADCISA[4:0]，选择空闲及手动触发采样情况下选中的通道
- ⑤ 通过 UPTH[11:0]与 DOWTH[11:0]位设置 ADC 转换值得上下阈值，若 ADC 转换结果值超过阈值，则会置起对应标志位；用户还可通过 ADC_TH_CFG 寄存器自由设置通道是否进行阈值判断。
- ⑥ 选择单次转换或序列转换，若选择单次转换，则设置 CONT 为 0，并对 ADCS 写 1 以触发 ADCISA 选中的通道 ADC 转换。
- ⑦ 若选择序列转换，则需事先对需要触发转换的序列通过 ADC_SQx（x=0~3）寄存器设置顺序，并通过 ADC_SQCNT 寄存器的 SQSTRx（x=0~1）设置序列采样起始位置与 SQCNTx（x=0~1）设置采样个数。要开始序列转换，设置 CONT 为 1，且对 ADCS 写 1 即可开始一次序列 0 的转换，转换将按照序列选中的有效 DS_n 编号从小到大的顺序进行采样及转换。
- ⑧ 最大序列数是 2 个，若需同时进行多个序列采样，则需设置 PWM_TRG_n 从而使序列 n 有效，并在 EPWM_ADCTRGN（n=0~1）中设置序列 n 的转换启动条件；当 EPWM 计数值满足条件时，则会硬件触发对应序列开始转换。
- ⑨ ADCIF 置起，则说明一次转换完成，如果 ADC 中断使能且 EOCIE 使能，则会进入一次转换完成中断，用户需要软件清除 ADCIF 标志。
- ⑩ EOSIF_x（0~1）置起，则说明对应序列 x 采样及转换完成，如果 ADC 中断使能且 EOSIE_x 使能，则会进入序列 x 转换完成中断，用户需要软件清除 EOSIF_x 标志。
- ⑪ 若不及时读取 ADCV 寄存器，下一次转换结果将会覆盖当前转换结果，且将 OVERRUN 位置 1，表明转换结果溢出；转换结果溢出不会影响采样与转换的进行，当读取 ADCV 寄存器后，OVERRUN 位会自动清零。
- ⑫ 若设置了 ADC 转换结果上下阈值，那么在转换结果存入 ADCVA[11:0]后，会将转换结果与上下阈值进行比较，若超过阈值则会置起 UPTHIF 上阈值溢出标志位或 DOWTHIF 下阈值溢出标志位；如果 ADC 中断使能且 UPTHIE/DOWTHIE 使能，则会进入对应阈值溢出中断
- ⑬ 可通过 DMA 传输转换数据。

7.10 ADC 连接电路图



说明:

- C1 为外接 0.01 μ F 电容, 建议用户增加此电容以提升 ADC 性能;
- ADC 相关电气参数详见规格 SC32M13X&SCDx13X_Datasheet 的 ADC 电气特性。

7.11 ADC 中断

SC32M13X&SCDx13X 系列的 ADC 在转换完成后, ADCIF 将置起, 如果 ADC_IDE.INTEN=1, 将产生中断。每段序列也均有各自对应的转换完成中断开关及标志位。

中断事件	中断请求控制位	事件标志位	中断使能子开关
ADC 转换完成中断请求	ADC_IDE->INTEN	ADCIF	EOCIE
序列 0 采样及转换完成中断请求		EOSIF0	EOSIE0
序列 1 采样及转换完成中断请求		EOSIF1	EOSIE1
下阈值溢出中断请求		DOWTHIF	DOWTHIE
上阈值溢出中断请求		UPTHIF	UPTHIE

7.12 ADC 寄存器

7.12.1 ADC 相关寄存器表

7.12.1.1 ADC 控制寄存器 ADC_CON

寄存器	读/写	说明	复位值	上电初始值
ADC_CON	读/写	ADC 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16

-	-	-	ADCISA[4:0]				
15	14	13	12	11	10	9	8
-	-	PWM_TRG1	PWM_TRG0	-	LOWSP[2:0]		
7	6	5	4	3	2	1	0
ADCEN	SPMODE	CONT	REFSEL	-	TRIG_OUT		ADCS

位编号	位符号	说明
20~16	ADCISA[4:0]	单采样模式，即 SPMODE = 0 时，通道选择值同 DS _n 定义
13~12	PWM_TRG _n	PWM_TRG _n , n=0~1 ADC 序列 n 响应使能位： 0: 屏蔽序列 n，连续采样时会跳过序列 n 1: 序列 n 有效，EPWM_ADCTRGN 寄存器配置有效
10~8	LOWSP[2:0]	ADC 采样周期数选择 000: 采样时间为 3 个系统时钟，（约 42ns @ f _{PCLK2} = 72MHz） 001: 采样时间约 6 个系统时钟，（约 83ns @ f _{PCLK2} = 72MHz） 010: 采样时间约 9 个系统时钟，（约 125ns @ f _{PCLK2} = 72MHz） 011: 采样时间约 15 个系统时钟，（约 208ns @ f _{PCLK2} = 72MHz） 100: 采样时间为 30 个系统时钟，（约 417ns @ f _{PCLK2} = 72MHz） 101: 采样时间约 60 个系统时钟，（约 833ns @ f _{PCLK2} = 72MHz） 110: 采样时间约 120 个系统时钟，（约 1667ns @ f _{PCLK2} = 72MHz） 111: 采样时间约 480 个系统时钟，（约 6667ns @ f _{PCLK2} = 72MHz） 说明：ADC 从采样到完成转换的总时间计算方式如下 $T_{ADC} = \text{采样时间} + \text{转换时间}$ 其中，ADC 转换时间约为 404ns
7	ADCEN	启动 ADC 的电源 0: 关闭 ADC 模块电源 1: 开启 ADC 模块电源
6	SPMODE	采样模式选择位 0: 单采样：在一个采样转换周期内 1 个通道被采样。单采样模式下： *手动触发，ADCS 写 1 后，开始采样 ADCISA 选中的通道，转换完成后结果存放在 ADCV 结果寄存器低 14 位 *序列转换，符合序列转换触发条件后，按照序列选中的有效 DS _n 编号从小到大的顺序逐个通道进行采样+转换 1: 无效
5	CONT	单次/序列转换模式选择位 此位由软件置 1 和清零。 0: 单次模式，此模式下 ADC 采样只能通过软件触发：对 ADCS 写 1，一次采样一个（SPMODE=0） 1: 序列模式： *软件触发：对 ADCS 写 1，可触发一次序列 0 的整体转换 *硬件触发，当硬件触发条件符合 EPWM_ADCTRGN 设置的触发值，ADC 自动执行相应序列的转换
4	REFSEL	ADC 模块基准源选择位： 0: 模块基准源为 VDD 1: 模块基准源为 VREF
2~1	TRIG_OUT	PWM 触发 ADC 序列，触发边沿信号输出设置位： 00: 不输出 01: 从 ADC_trigger0 输出 10: 无效 11: 不输出 注意：ADC 被实际触发后 trigger 可以输出相应的边沿信号
0	ADCS	ADC 开始触发控制（ADC Start）

位编号	位符号	说明
		对此位写 1，开始做一次 ADC 的转换，即该位只是 ADC 转换的触发信号。此位只可写入 1 有效。 注意：对 ADCS 写 1 后，到中断标志 ADCIF 置起前不要对 ADCCON 寄存器进行写操作
31~21 15~14 11 3	-	保留

7.12.1.2 ADC 标志位状态寄存器 ADC_STS

寄存器	读/写	说明	复位值	上电初始值
ADC_STS	读/写	ADC 标志位状态寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	DOWTHIF	UPTHIF
7	6	5	4	3	2	1	0
BUSY	-	-	-	-	EOSIF1	EOSIF0	ADCIF

位编号	位符号	说明
9	DOWTHIF	下阈值溢出标志位： 0: ADCVA[11:0] ≥ DOWTH [11:0] 1: ADCVA[11:0] < DOWTH [11:0]
8	UPTHIF	上阈值溢出标志位： 0: ADCVA[11:0] ≤ UPTH [11:0] 1: ADCVA[11:0] > UPTH [11:0]
7	BUSY	硬件触发 ADC 状态位 0: ADC 空闲 1: 硬件触发的 ADC 序列正在采样/转换 ADC 采样/转换进行中，BUSY 清零前对 ADCCON 寄存器进行的所有写操作均无效
2	EOSIF1	序列 1 采样及转换完成中断标志位 该位由硬件置 1，通过软件写 1 清 0。 0: 序列 1 采样及转换未完成 1: 序列 1 采样及转换完成 当序列 1 最后一个通道的转换结果出现在 ADCV 寄存器时，会通过硬件将该位置 1；若此时 ADC_IDE.EOSIE1=1，将产生中断。
1	EOSIF0	序列 0 采样及转换完成中断标志位 该位由硬件置 1，通过软件写 1 清 0。 0: 序列 0 采样及转换未完成 1: 序列 0 采样及转换完成 当序列 0 最后一个通道的转换结果出现在 ADCV 寄存器时，会通过硬件将该位置 1；若此时 ADC_IDE.EOSIE0=1，将产生中断。
0	ADCIF	ADC 中断请求标志位 该位由硬件置 1，通过软件写 1 清 0。 0: 无 ADC 通道转换完成 1: 有 ADC 通道转换完成

位编号	位符号	说明
		通道的每次转换结束，新数据结果出现在 ADCV 寄存器时，会通过硬件将该位置 1，如果 ADC_IDE.EOCIE=1，将产生中断。
31~10 6~3	-	保留

7.12.1.3 ADC 转换数值寄存器 ADCV

寄存器	读/写	说明	复位值	上电初始值
ADCV	读/写	ADC 转换数值寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
OVERRUN	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
ADCVA[7:0]							

位编号	位符号	说明
31	OVERRUN	该位只读 无法及时处理请求而发生溢出时由硬件置 1，读取 ADCV 后自动清零 注意： 1.上一次的 ADC 转换结果将被新的 ADC 转换结果覆盖 2.发生溢出后，DMA 传输不停止 3.不论 DMA 还是 CPU，只要读取了 ADCV 寄存器，OVERRUN 位就会清零
11~0	ADCVA[11:0]	ADC 转换结果 单采样模式（SPMODE=0）：当前采样通道对应转换结果，转换结果存放在寄存器低 11 位，即 ADCVA 中
30~12	-	保留

7.12.1.4 ADC 端口设置寄存器 ADC_CFG

寄存器	读/写	说明	复位值	上电初始值
ADC_CFG	读/写	ADC 端口设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
AIN15	-	AIN13	AIN12	AIN11	AIN10	AIN9	AIN8
7	6	5	4	3	2	1	0
AIN7	-	-	AIN4	AIN3	AIN2	AIN1	AIN0

位编号	位符号	说明
15 13~7 4~0	AINx	ADC 端口设置寄存器 0: AINx 对应端口不可作为 ADC 输入通道 1: AINx 对应端口可作为 ADC 输入通道, 当 ADCISA[4:0]选择 AINx 作为 ADC 输入通道时, AINx 对应端口的上拉电阻将自动移除。
31~16 14 6~5	-	保留

7.12.1.5 ADC 通道阈值使能寄存器 ADC_TH_CFG

寄存器	读/写	说明	复位值	上电初始值
ADC_TH_CFG	读/写	ADC 通道阈值使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
AIN15	-	AIN13	AIN12	AIN11	AIN10	AIN9	AIN8
7	6	5	4	3	2	1	0
AIN7	-	-	AIN4	AIN3	AIN2	AIN1	AIN0

位编号	位符号	说明
15~0	AINx	ADC 通道阈值使能控制位, x=0~4、7~13、15 0: AINx 通道禁止使用阈值功能 1: AINx 通道需要进行阈值判断
31~16	-	保留

7.12.1.6 ADC 阈值下限设置寄存器 ADC_DOWTH

寄存器	读/写	说明	复位值	上电初始值
ADC_DOWTH	读/写	ADC 阈值下限设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	DOWTH[11:8]		
7	6	5	4	3	2	1	0
DOWTH[7:0]							

位编号	位符号	说明
11~0	DOWTH[11:0]	ADC 阈值下限设置位 当前转换的 ADCVA[11:0]<DOWTH[11:0] 设置的值时, DOWTHIF 标志位置起, 如果此时 DOWTHIE 使能, 可以触发 ADC 下阈值比较中断。
31~12	-	保留

7.12.1.7 ADC 阈值上限设置寄存器 ADC_UPTH

寄存器	读/写	说明	复位值	上电初始值
ADC_UPTH	读/写	ADC 阈值上限设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	UPTH[11:8]			
7	6	5	4	3	2	1	0
UPTH[7:0]							

位编号	位符号	说明
11~0	UPTH[11:0]	ADC 阈值上限设置位 当前转换的 ADCVA[11:0] > UPTH[11:0] 设置的值时，UPTHIF 标志位置起，如果此时 UPTHIE 使能，可以触发 ADC 上阈值比较中断。
31~12	-	保留

7.12.1.8 ADC 的中断使能及 DMA 控制寄存器 ADC_IDE

寄存器	读/写	说明	复位值	上电初始值
ADC_IDE	读/写	ADC 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	DOWTHIE	UPTHIE
7	6	5	4	3	2	1	0
INTEN	DMAEN	-	-	-	EOSIE1	EOSIE0	EOCIE

位编号	位符号	说明
9	DOWTHIE	下阈值溢出中断使能位： 0: DOWTHIF 置起时不允许产生中断 1: DOWTHIF 置起时，产生中断
8	UPTHIE	上阈值溢出中断使能位： 0: UPTHIF 置起时不允许产生中断 1: UPTHIF 置起时，产生中断
7	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
6	DMAEN	直接存储器访问使能 由软件置 1 和清零，用于使能 DMA 请求的生成。这样便可使用 DMA 控制器自动管理转换的数据。 0: 禁止 DMA 1: 使能 DMA 注：确保当前未进行任何转换，才允许通过软件对此位执行写操作。
2	EOSIE1	序列 1 采样及转换完成中断使能位 0: EOSIF1 置起时，不允许产生中断

位编号	位符号	说明
		1: EOSIF1 置起时, 产生中断
1	EOSIE0	序列 0 采样及转换完成中断使能位 0: EOSIF0 置起时, 不允许产生中断 1: EOSIF0 置起时, 产生中断
0	EOCIE	ADC (每一次)转换完成中断使能位 0: ADCIF 置起时, 不允许产生中断 1: ADCIF 置起时, 产生中断
31~10 5~3	-	保留

7.12.1.9 ADC 序列通道设置寄存器 ADC_SQCNT

寄存器	读/写	说明	复位值	上电初始值
ADC_SQCNT	读/写	ADC 序列通道设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
SQSTR1[3:0]				SQCNT1[3:0]			
7	6	5	4	3	2	1	0
SQSTR0[3:0]				SQCNT0[3:0]			

位编号	位符号	说明
15~12 7~4	SQSTRn[3:0]	序列 0~1 的起始位置设置位 用于设定各序列每次启动时的起始 DS _n , n=0~15
11~8 3~0	SQCNTn[3:0]	序列 0~1 的采样个数设置位 每段采样序列的采样个数=SQCNTn[3:0]+1 即: 每段序列最多可支持 16 个采样
31~28 23~20 27~24 19~16	-	保留

7.12.1.10 ADC 序列设置寄存器 ADC_SQn (n=0~3)

寄存器	读/写	说明	复位值	上电初始值
ADC_SQn (n=0~3)	读/写	ADC 序列设置寄存器	0x0000_0000	0x0000_0000

ADC_SQ3 ADC 序列设置寄存器 3

31	30	29	28	27	26	25	24
-	-	-	DS15[4:0]				-
23	22	21	20	19	18	17	16
-	-	-	DS14[4:0]				-
15	14	13	12	11	10	9	8
-	-	-	DS13[4:0]				-
7	6	5	4	3	2	1	0
-	-	-	DS12[4:0]				-

ADC_SQ2 ADC 序列设置寄存器 2

31	30	29	28	27	26	25	24
-	-	-	DS11[4:0]				
23	22	21	20	19	18	17	16
-	-	-	DS10[4:0]				
15	14	13	12	11	10	9	8
-	-	-	DS9[4:0]				
7	6	5	4	3	2	1	0
-	-	-	DS8[4:0]				

ADC_SQ1 ADC 序列设置寄存器 1

31	30	29	28	27	26	25	24
-	-	-	DS7[4:0]				
23	22	21	20	19	18	17	16
-	-	-	DS6[4:0]				
15	14	13	12	11	10	9	8
-	-	-	DS5[4:0]				
7	6	5	4	3	2	1	0
-	-	-	DS4[4:0]				

ADC_SQ0 ADC 序列设置寄存器 0

31	30	29	28	27	26	25	24
-	-	-	DS3[4:0]				
23	22	21	20	19	18	17	16
-	-	-	DS2[4:0]				
15	14	13	12	11	10	9	8
-	-	-	DS1[4:0]				
7	6	5	4	3	2	1	0
-	-	-	DS0[4:0]				

位编号	位符号	说明
28~24 20~16 12~8 4~0	DSn[4:0]	DSn[4:0]: n=0~15, ADC 采样序列信号选择
31~29 23~21 15~13 7~5	-	保留

7.12.2 ADC 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
ADC 基地址: 0x4002_2100					
ADC_CON	0x00	读/写	ADC 控制寄存器	0x0000_0000	0x0000_0000
ADC_STS	0x04	读/写	ADC 标志位状态寄存器	0x0000_0000	0x0000_0000
ADCV	0x08	读/写	ADC 转换数值寄存器	0x0000_0000	0x0000_0000
ADC_CFG	0x0C	读/写	ADC 端口设置寄存器	0x0000_0000	0x0000_0000
ADC_TH_CFG	0x10	读/写	ADC 通道阈值使能寄存器	0x0000_0000	0x0000_0000

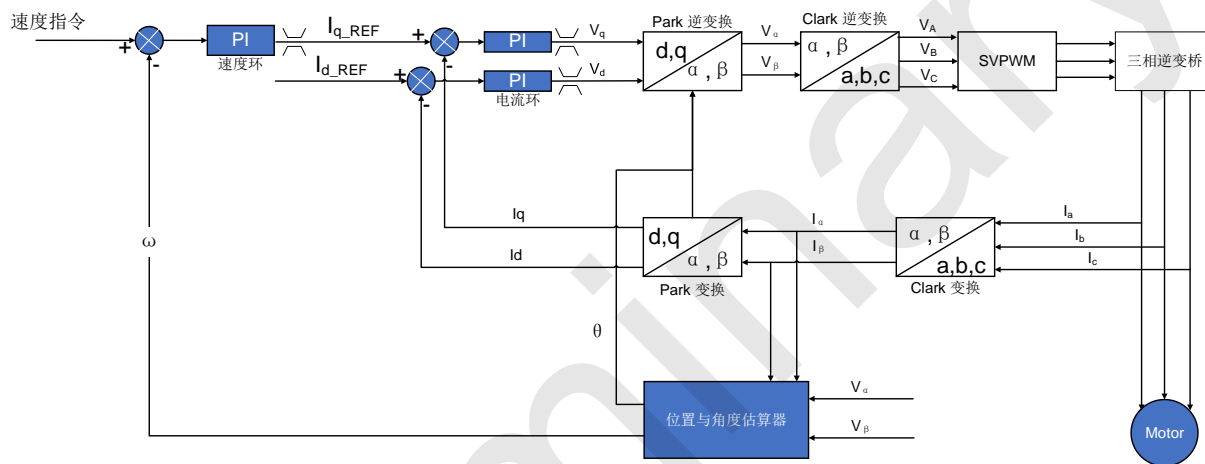
寄存器	偏移地址	读/写	说明	复位值	上电初始值
ADC_LOWTH	0x14	读/写	ADC 阈值下限设置寄存器	0x0000_0000	0x0000_0000
ADC_UTH	0x18	读/写	ADC 阈值上限设置寄存器	0x0000_0000	0x0000_0000
ADC_IDE	0x1C	读/写	ADC 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000
ADC_SQCNT	0x24	读/写	ADC 序列通道设置寄存器	0x0000_0000	0x0000_0000
ADC_SQ0	0x28	读/写	ADC 序列设置寄存器 0	0x0000_0000	0x0000_0000
ADC_SQ1	0x2C	读/写	ADC 序列设置寄存器 1	0x0000_0000	0x0000_0000

8 运算加速单元（MR）

内建一个运算加速单元（Math Rhythm，简称 MR），相比软件具有更快的运算速度，且释放了处理器运算周期，可运用于电机驱动、信号处理、计量等领域。

运算加速单元包含 32 位除法器、开方运算、三角函数运算、反正切运算、SVPWM、Clark 变换与 Clark 逆变换、Park 变换与 Park 逆变换和 3 个 PI 模块，其中 SVPWM 模块可配置为七段式 SVPWM、五段式 SVPWM 和 SPWM 模式。

运算加速单元具体操作方法请参考《赛元 SC32M 系列 MR 运算加速单元应用指南》



矢量控制应用框图

9 内部基准源（VREF）

9.1 概述

SC32M13X&SCDx13X 系列内部集成一个独立的内部基准模块（VREF），可作为多个外设的基准源。

9.2 时钟源

SC32M13X&SCDx13X 系列 VREF 的时钟源来自 PCLK2。

9.3 内部基准源模块配置

系统模拟电路基准模块有四种配置方式：

- VREFCFG1=0、VREFCFG0=0，Vref PIN 端口不使能、内建基准模块关闭；
- VREFCFG1=0、VREFCFG0=1，模拟电路使用内建基准，Vref 电压为 VREFS[1:0]选定项；
- VREFCFG1=1、VREFCFG0=0，模拟电路使用外接基准，Vref 由外部 Vref PIN 输入；
- VREFCFG1=1、VREFCFG0=1，模拟电路使用内建基准，Vref 电压为 VREFS[1:0]选定项。

9.4 内部基准源输出

内部基准源模块使能后，VREF 可作为 ADC/DAC/OP 的基准选择，也可二分之一分压后通过 VMID 引脚输出。

具体设置方式如下：

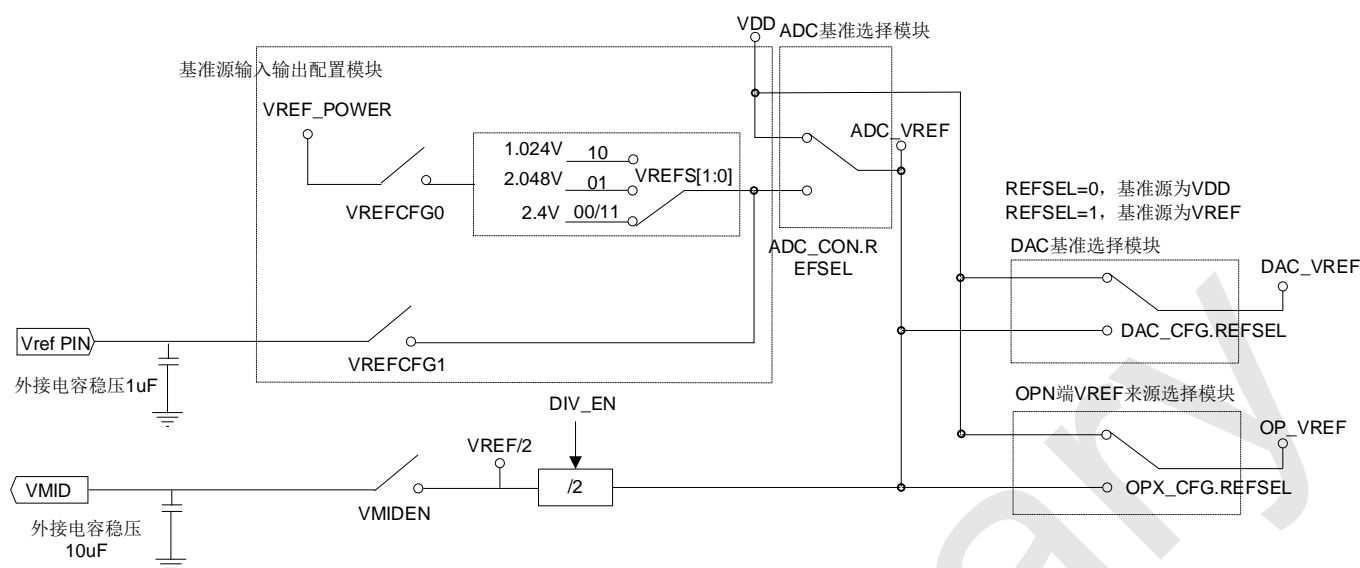
- ADC/DAC/OP 模块默认基准源为 VDD，当选择 VREF 作为基准源时，需使能相关外设寄存器内的模块基准源选择位 REFSEL。例如：当选择 VREF 作为 DAC 模块基准源时，需使能 DAC 配置寄存器 DAC_CFG 的 DAC 模块基准源选择位 REFSEL。

注意：

1. 若只开启 DAC/OP，外设基准源的选择不受影响。
 2. 若同时开启 ADC 和其他外设（DAC/OP），当 ADC 的基准源为 VDD 时，其他外设基准源只能选择 VDD；若要修改其他外设基准源为 VREF，需先将 ADC 的基准源设置为 VREF！
- 当选择 VREF/2 通过 VMID 引脚输出时，需先将内部基准分压电路使能位 DIV_EN 置 1，使 VREF/2 点输出电压为 VREF 的一半（可作为 OP 输入差分模式的偏置电压），再将 VMID 端口使能位 VMIDEN 置 1。

9.5 内部基准源功能框图

Vref PIN 可作为输入输出引脚，VMID 只能作为输出引脚。



9.6 VREF 寄存器

9.6.1 VREF 相关寄存器表

9.6.1.1 VREF 模块配置寄存器 VREF_CFG

寄存器	读/写	说明	复位值	上电初始值
VREF_CFG	读/写	VREF 模块配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	DIV_EN	VMIDEN	-	VREFS[1:0]	VREFCFG1	VREFCFG0	

位编号	位符号	说明
6	DIV_EN	内部基准分压电路使能位 0: 不使能, VREF/2 点无输出 1: 使能, VREF/2 点输出电压为 VREF 的一半
5	VMIDEN	VMID 端口使能位 0: VMID 所在端口为其它复用功能 1: VMID 所在端口输出 VREF/2
3~2	VREFS[1:0]	系统模拟电路 Vref 选择 00: 保留 (默认接 2.4V) 01: 设定 ADC 的 Vref 为内部准确的 2.048V 10: 设定 ADC 的 Vref 为内部准确的 1.024V

位编号	位符号	说明
		11: 设定 ADC 的 Vref 为内部准确的 2.4V
1~0	VREFCFG1、VREFCFG0	VREFCFG[1:0]系统模拟电路基准模块 VREF 设置位 00: Vref PIN 端口不使能、内建基准模块关闭 01: 模拟电路使用内建基准, Vref 电压为 VREFS[1:0]选定项 10: 模拟电路使用外接基准, Vref 由外部 Vref PIN 输入 11: 模拟电路使用内建基准, Vref 电压为 VREFS[1:0]选定项
31~7 4	-	保留

9.6.2 VREF 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
VREF 基地址: 0x4002_2190					
VREF_CFG	0x0C	读/写	VREF 模块配置寄存器	0x0000_0000	0x0000_0000

10 数模转换器（DAC）

10.1 概述

SC32M13X&SCDx13X 内部集成一个独立的 10 Bits 数模转换器（DAC）。此 DAC 有一个独立的输出端口 DACOUT0，DAC 也可在芯片内部输出到 OP1 的反相端。

10.2 时钟源

SC32M13X&SCDx13X 系列的 DAC 时钟源仅来自 PCLK2

10.3 特性

- 基准源可选择 VDD 或 VREF
- 输出方式有 3 种：
 - 一个独立的输出端口 DACOUT0 输出
 - 在芯片内部输出到 OP1 的反相端
 - 在芯片内部输出到 CMP0/1/2 的负向输入端

10.4 DAC 寄存器

10.4.1 DAC 相关寄存器表

10.4.1.1 DAC 状态寄存器 DAC_STS

寄存器	读/写	说明	复位值	上电初始值
DAC_STS	读/写	DAC 状态寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	STA

位编号	位符号	说明
0	STA	DAC 转换状态位 此位为状态位，由硬件置起或清零 0: DAC 模块空闲/已转换完成； 1: DAC 模块转换中
31~1	-	保留

10.4.1.2 DAC 转换寄存器 DAC_IN

寄存器	读/写	说明	复位值	上电初始值
DAC_IN	读/写	DAC 转换寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	DACV[9:8]	
7	6	5	4	3	2	1	0
DACV[7:0]							

位编号	位符号	说明
9~0	DACV[9:0]	DAC 输出电压： $VDACOUT = (Vref / 1024) * DACV[9:0]$ 注意：转换值写入此寄存器后即生效
31~10	-	保留

10.4.1.3 DAC 配置寄存器 DAC_CFG

寄存器	读/写	说明	复位值	上电初始值
DAC_CFG	读/写	DAC 配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	REFSEL	-	DACOUT0	DACEN

位编号	位符号	说明
3	REFSEL	DAC 模块基准源选择位 0: 模块基准源为 VDD 1: 模块基准源为 VREF
1	DACOUT0	DACOUT0 端口使能位 0: DACOUT0 所在端口为其它复用功能 1: DACOUT0 所在端口输出 DAC 当前转换电压
0	DACEN	DAC 使能控制位 0: 关闭 1: 使能
31~4 2	-	保留

10.4.2 DAC 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
DAC 基地址: 0x4002_2190					
DAC_STS	0x00	读/写	DAC 状态寄存器	0x0000_0000	0x0000_0000
DAC_IN	0x04	读/写	DAC 转换寄存器	0x0000_0000	0x0000_0000
DAC_CFG	0x08	读/写	DAC 配置寄存器	0x0000_0000	0x0000_0000

11 温度传感器

11.1 概述

SC32M13X&SCDx13X 内建一个温度传感器，可通过 ADC 电路测量温度传感器电压。

11.2 温度传感器操作步骤

使用温度传感器时，ADC 参考电压选择内部 2.4V 作为参考，温度传感器每增加 1℃，ADC 转换值会增加固定值。赛元出厂时已将每颗芯片 25℃对应的 ADC 转换结果写入到对应地址中。

用户使用温度传感器的操作步骤如下：

- ① 设定 ADC 参考电压 Vref 为内部 2.4V 基准源，设定 ADC 采样周期，建议选择 60 个以上采样时钟，之后开启 ADC 模块电源；
- ② 选择 ADC 输入通道为温度传感器通道；
- ③ 使能温度传感器，TS_EN 写 1；
- ④ 延时 20μs
- ⑤ TS_CHOP 写 0，启动 ADC 转换，一次转换完成，记录转换值 ADC_{Value1}；
- ⑥ TS_CHOP 写 1，启动 ADC 转换，一次转换完成，记录转换值 ADC_{Value2}；
- ⑦ 将两次转换值求平均：

$$ADC_{Value} = \frac{(ADC_{Value1} + ADC_{Value2})}{2}$$

- ⑧ 从对应地址读取出厂时写入的 25 摄氏度 ADC 转换值 ADC_{ValueTest}；

- ⑨ 代入公式计算得到当前温度：

$$Temperature = 25^{\circ}C + \frac{(ADC_{Value} - ADC_{ValueTest})}{8.53}$$

用户若需获取更多温度传感器相关信息，请参考《赛元 SC32M1xxx&SCDx1xxx 系列 MCU 应用指南》

11.3 温度传感器寄存器

11.3.1 温度传感器相关寄存器表

11.3.1.1 温度传感器设置寄存器 TS_CFG

寄存器	读/写	说明	复位值	上电初始值
TS_CFG	读/写	温度传感器设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
TS_EN	-	-	-	-	-	-	TS_CHOP

位编号	位符号	说明
7	TS_EN	温度传感器使能控制位 0: 关闭温度传感器 1: 使能温度传感器
0	TS_CHOP	温度传感器的抵消 offset 的应用控制位 TS_CHOP 写 0 后启动一次 ADC 转换得到一个数值，TS_CHOP 再写 1 后启动一次 ADC 转换得到第二个数值，两个数做平均得到最终数

11.3.2 温度传感器寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
温度传感器基地址: 0x4002_21E0					
TS_CFG	0x00	读/写	温度传感器设置寄存器	0x0000_0000	0x0000_0000

12 运放及可编程增益放大器（OP）

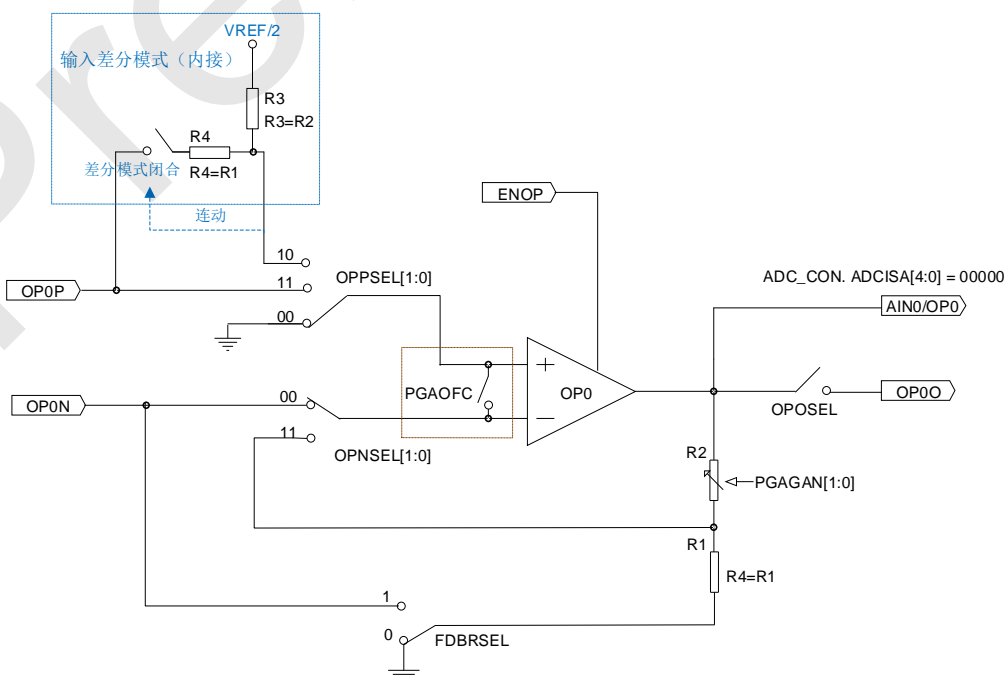
12.1 概述

SC32M13X&SCDx13X 系列内建 2 个独立的 Rail-to-Rail 可配增益放大器：OP0/OP1。

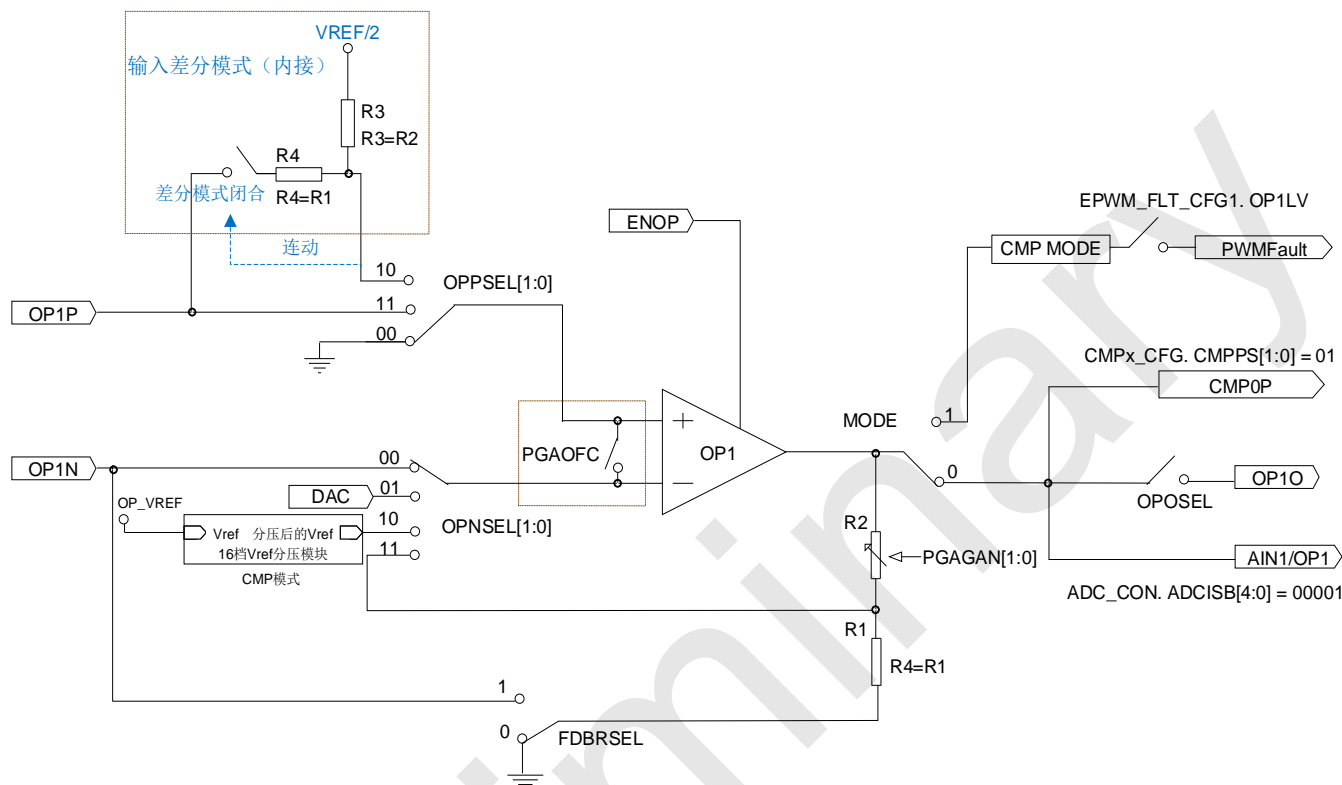
12.2 特性

- 2 个 OP 均可配置为 PGA 模式，单端模式增益如下
 - 同相输入增益：4/8/16/32
 - 反相输入增益：3/7/15/31
- 2 个 OP 的同相端、反相端以及输出端均有独立的对外端口
- 2 个 OP 的输出分别与 2 路 ADC 通道复用，输出结果可通过 ADC 结果寄存器读出
- OP1 可设置为比较器（CMP）模式：
 - 输出可作为 EPWM fault 触发源
 - CMP 模式下迟滞电压固定为 10~15mV
 - CMP 模式下的响应时间：典型值 50ns
- OP1 可输出到 CMP0 的正端
- 参数
 - 带宽 10MHz
 - 输入失调电压 $\leq 10\text{mV}$ ，需调零
 - 压摆率 $\geq 10\text{V}/\mu\text{s}$

12.3 OP0 框图



12.4 OP1 框图



12.5 OP0 端口选择

12.5.1 OP0 精度调整

可通过设置 PGA 输入端 offset 调整控制位 $PGAOF=1$ ，将 OP 模块的同相端与反相端输入短接来实现精度调整。其他情况下， $PGAOF$ 设置为 0。

12.5.2 OP0 同相端输入

OP0 的同相端输入有三种：OP0P 外部引脚、内部 VSS 和输入差分模式，可通过 $OPPSEL[1:0]$ 切换选择。当选择差分模式时，需同步使能 $VREF_CFG.DIV_EN$ ，偏置电压 $VREF/2$ 才有输出。

12.5.3 OP0 反相端输入

OP0 的反相端输入有两种：OP0N 外部引脚和内部反馈电阻。选择 OP0N 外部引脚为反相端输入时，需设置 OP0 输入控制位 $OPNSEL[1:0]=00$ ，反馈电阻端连接选择位 $FDBRSEL=1$ ；选择内部反馈电阻为反相端输入时，需设置 $OPNSEL[1:0]=11$ ， $FDBRSEL=0$ 或 1，并通过内部增益档位选择位 $PGAGAN[1:0]$ 进行内部增益档位选择。

12.5.4 OP0 输出

OP0 的输出有两种：用于 AD 转换器的模拟输入或者通过 OP0O 外部引脚输出。

具体设置方式如下：

- OP0 通过 OP0O 外部引脚输出时，需设置 OPOSEL=1；
- OP0 的输出端默认与 ADC 输入相连，通过设置 ADCISA[4:0]=00000 选择 OP0 输出作为 ADC 输入，使能 ADC 后，OP 的转换结果可直接在 ADCV 寄存器获取。

12.6 OP1 端口选择

12.6.1 OP1 精度调整

可通过设置 PGA 输入端 offset 调整控制位 PGAOFC=1，将 OP 模块的同相端与反相端输入短接来实现精度调整。其他情况下，PGAFC 设置为 0。

12.6.2 OP1 同相端输入

OP1 的同相端输入有三种：OP1N 外部引脚、内部 VSS 和输入差分模式，可通过 OPPSEL[1:0]切换选择。当选择差分模式时，需同步使能 VREF_CFG.DIV_EN，偏置电压 VREF/2 才有输出。

12.6.3 OP1 反相端输入

OP1 的反相端输入有四种：OP1N 外部引脚、DAC 输出、OPRF[3:0]设定值和内部反馈电阻。

具体设置方式如下：

- 选择 OP1N 外部引脚为反相端输入时，需设置 OP1 反相端输入控制位 OPNSEL[1:0]=00，反馈电阻端连接选择位 FDBRSEL=1；
- 选择 DAC 为反相端输入时，需使能 DAC 模块，并设置 OP1 反相端输入控制位 OPNSEL[1:0]=01；
- 选择 OPRF[3:0]设定值为反相端输入时，需设置 OP1 反相端输入控制位 OPNSEL[1:0]=10；
- 选择内部反馈电阻为反相端输入时，需设置 OPNSEL[1:0]=11，并通过内部增益档位选择位 PGAGAN[1:0]进行内部增益档位选择。

12.6.4 OP1 输出

OP1 的输出有四种：作为 EPWM Fault 触发源、AD 转换器的模拟输入、CMP0 的正端输入或者通过 OP1O 外部引脚输出。

具体设置方式如下：

- OP1 输出作 EPWM Fault 触发源时，需设置 MODE=1 选择比较器模式，并将 EPWM_FLT_CFG1 寄存器的 bit 位 OP1LV 置 1。
- OP1 输出作 AD 转换器的模拟输入或者 CMP0 的正端输入，需设置 MODE=0 使 OP1 为运放模式。
- OP1 在运放模式下，可输出到外部引脚 OP1O，此时需设置 OPOSEL=1。

12.7 OP 寄存器

12.7.1 OP0 相关寄存器表

12.7.1.1 OP0 控制寄存器 OP0_CON

寄存器	读/写	说明	复位值	上电初始值
OP0_CON	读/写	OP0 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	FDBRSEL	-	TRIMOFFSETN[4:0]				
23	22	21	20	19	18	17	16
PGAOFc	-	-	TRIMOFFSETP[4:0]				
15	14	13	12	11	10	9	8
-	-	-	-	-	-	PGAGAN[1:0]	
7	6	5	4	3	2	1	0
ENOP	-	OPPSEL[1:0]		OPNSEL[1:0]		-	OPOSEL

位编号	位符号	说明
30	FDBRSEL	运放模块的反馈电阻 R1 连接选择位 0: 内部接 VSS, 0V 1: OPxN (外部引脚)
28~24	TRIMOFFSETN[4:0]	Trim for NMOS differential pairs 运放的 NMOS 差分 offset 校准值
23	PGAOFc	OP 输入端短接控制位 0: 同相和反相输入端不短接 1: 同相和反相输入端短接 注意: OP 同相和反相输入端在内部短接与断开均不会影响 OPPSEL 和 OPNSEL 选择
20~16	TRIMOFFSETP[4:0]	Trim for PMOS differential pairs 运放的 PMOS 差分 offset 校准值
9~8	PGAGAN[1:0]	运放 PGA 模式内部增益档位选择 00: 同相 4, 反相 3 01: 同相 8, 反相 7 10: 同相 16, 反相 15 11: 同相 32, 反相 31
7	ENOP	OP0 模块使能位 0: 关闭 OP0 模块电源 1: 使能 OP0 模块电源
5~4	OPPSEL[1:0]	运放同相端输入选择位 00: 内部接 VSS, 0V 10: 输入差分模式, 偏置电压为 VREF/2, 注意此时需同步使能 VREF_CFG.DIV_EN, VREF/2 才有电压输出 11: 选用 OP0P (外部引脚)
3~2	OPNSEL[1:0]	运放反相端输入选择位: 00: 选用 OP0N (外部引脚) 01: 保留 10: 保留 11: 接反馈电阻 R2
0	OPOSEL	运放输出端连接选择位 1: 运放输出连接到 OP0O (外部引脚) 0: 运放输出与 OP0O 的连接断开

位编号	位符号	说明
		说明：运放的输出始终连接到 ADC 和 CMPxPS 的可选项
31 29 22~21 15~10 6 1	-	保留

12.7.2 OP1 相关寄存器

12.7.2.1 OP1 控制寄存器 OP1_CON

寄存器	读/写	说明	复位值	上电初始值
OP1_CON	读/写	OP1 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	FDBRSEL	-	TRIMOFFSETN[4:0]				
23	22	21	20	19	18	17	16
PGAOFC	-	-	TRIMOFFSETP[4:0]				
15	14	13	12	11	10	9	8
OPRF[3:0]				MODE	-	PGAGAN[1:0]	
7	6	5	4	3	2	1	0
ENOP	-	OPPSEL[1:0]		OPNSEL[1:0]		-	OPOSEL

位编号	位符号	说明
30	FDBRSEL	运放模块的反馈电阻 R1 连接选择位 0: 内部接 VSS, 0V 1: OP1N (外部引脚)
28~24	TRIMOFFSETN[4:0]	Trim for NMOS differential pairs 运放的 NMOS 差分 offset 校准值
23	PGAOFC	OP 输入端短接控制位 0: 同相和反相输入端不短接 1: 同相和反相输入端短接
20~16	TRIMOFFSETP[4:0]	Trim for PMOS differential pairs 运放的 PMOS 差分 offset 校准值
15~12	OPRF[3:0]	OP 作比较器模式下, 运放反相端输入电压选择位, 当 OPNSEL[1:0]=10 时生效: 0000: 1/16 OPx_VREF 0001: 1/16 OPx_VREF 0010: 2/16 OPx_VREF 0011: 3/16 OPx_VREF 0100: 4/16 OPx_VREF 0101: 5/16 OPx_VREF 0110: 6/16 OPx_VREF 0111: 7/16 OPx_VREF 1000: 8/16 OPx_VREF 1001: 9/16 OPx_VREF 1010: 10/16 OPx_VREF 1011: 11/16 OPx_VREF 1100: 12/16 OPx_VREF 1101: 13/16 OPx_VREF 1110: 14/16 OPx_VREF 1111: 15/16 OPx_VREF

位编号	位符号	说明
11	MODE	OP1 模式选择位 0: 运放模式 1: 比较器模式
8~9	PGAGAN[1:0]	运放 PGA 模式内部增益档位选择 00: 同相 4, 反相 3 01: 同相 8, 反相 7 10: 同相 16, 反相 15 11: 同相 32, 反相 31
7	ENOP	0: 关闭 OP1 模块电源 1: 使能 OP1 模块电源
5~4	OPPSEL[1:0]	运放同相端输入选择位 00: 内部接 VSS, 0V 10: 输入差分模式, 偏置电压为 VREF/2, 注意此时需同步使能 VREF_CFG.DIV_EN, VREF/2 才有电压输出 11: 选用 OP1P (外部引脚)
3~2	OPNSEL[1:0]	运放反相端输入选择位: 00: 选用 OP1N (外部引脚) 01: 选用 DAC 输出 10: 选用 OPRF[3:0] 设定值 11: 接反馈电阻 R2
0	OPOSEL	运放输出端连接选择位 1: 运放输出连接到 OP1O (外部引脚) 0: 运放输出与 OP1O 的连接断开 说明: 运放的输出始终连接到 ADC 和 CMPxPS 的可选项
31 29 22~21 10 6 1	-	保留

12.7.2.2 OP1 配置寄存器 OPX_CFG

寄存器	读/写	说明	复位值	上电初始值
OPX_CFG	读/写	OP1/2 配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
REFSEL	-	OP_CMPIM2[1:0]	OP_CMPIM1[1:0]	-	-	-	-

位编号	位符号	说明
7	REFSEL	运放模块基准 OPx_VREF 源选择位(x=1) 0: 模块基准源为 VDD 1: 模块基准源为 VREF
5~4	OP_CMPIM2[1:0]	OP2 比较器模式, 比较触发条件选择位 00: 不触发 01: 上升沿触发: IN+从小于 IN- 到大于 IN- 后触发; 10: 下降沿触发: IN+从大于 IN- 到小于 IN- 后触发;

位编号	位符号	说明
		11: 双沿触发: IN+从小于 IN- 到大于 IN- , 或 IN+从大于 IN- 到小于 IN-后均会触发
3~2	OP_CMPIM1[1:0]	OP1 比较器模式, 比较触发条件选择位 00: 不触发 01: 上升沿触发: IN+从小于 IN- 到大于 IN- 后触发; 10: 下降沿触发: IN+从大于 IN- 到小于 IN- 后触发; 11: 双沿触发: IN+从小于 IN- 到大于 IN- , 或 IN+从大于 IN- 到小于 IN-后均会触发
31~8 6 1~0	-	保留

12.7.2.3 OP1 比较器状态寄存器 OPX_STS

寄存器	读/写	说明	复位值	上电初始值
OPX_STS	读/写	OP1 比较器状态寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	OP_CMP1STA	-	-	OP_CMP1IF	-

位编号	位符号	说明
4	OP_CMP1STA	OP1 比较器模式输出状态 0: OP1 比较器同相端电压小于反相端电压 1: OP1 比较器同相端电压大于反相端电压
1	OP_CMP1IF	OP1 比较器模式中断标志位 0: OP1 比较器中断未被触发 1: 当 OP1 比较器满足中断触发条件时, 此位会被硬件自动设定成 1。如果此时 OP_CMP1IE 使能, OP1 比较器中断产生。在 OP1 比较器中断发生后, 硬件并不会自动清除此位, 此位必须由使用者的软件负责清除。
31~5 3~2 0	-	保留

12.7.2.4 OP1 比较器中断使能寄存器 OPX_IDE

寄存器	读/写	说明	复位值	上电初始值
OPX_IDE	读/写	OP1 比较器中断使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-

7	6	5	4	3	2	1	0
INTEN	-	-	-	-	-	OP_CMP1IE	-

位编号	位符号	说明
7	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
1	OP_CMP1IE	OP1 比较器模式中断使能位 0: OP_CMP1IF 置起时, 不允许产生中断 1: OP_CMP1IF 置起时, 允许产生中断
31~8 6~2 0	-	保留

12.7.3 OP0/1 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
OP0/1 基地址: 0x4002_21B0					
OP0_CON	0x00	读/写	OP0 控制寄存器	0x0000_0000	0x0000_0000
OP1_CON	0x04	读/写	OP1 控制寄存器	0x0000_0000	0x0000_0000
OPX_CFG	0x10	读/写	OP1 配置寄存器	0x0000_0000	0x0000_0000
OPX_STS	0x14	读/写	OP1 比较器状态寄存器	0x0000_0000	0x0000_0000
OPX_IDE	0x18	读/写	OP1 比较器中断使能寄存器	0x0000_0000	0x0000_0000

13 模拟比较器（CMP）

13.1 概述

SC32M13X&SCDx13X 内建 3 个模拟比较器 CMP0/1/2，其中 CMP0/1/2 共用反相端。

CMP 中断可唤醒 STOP 模式。可用于报警器电路、电源电压监测电路、过零检测电路等。

13.2 时钟源

SC32M13X&SCDx13X 系列所有的 CMP 时钟源仅有一种，来自 PCLK2

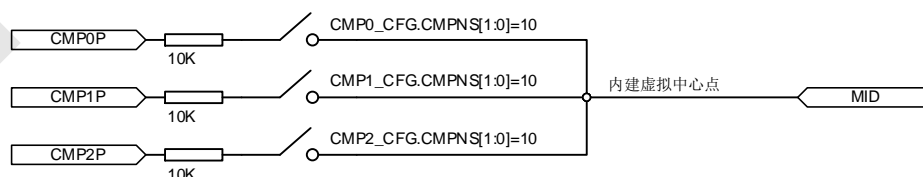
13.3 CMP0/1/2 特性

- 三个 CMP 输出端均可接至 PCAP 模块
- 三个 CMP 正端均有独立的外部输入端口
- CMP0 的可使用 OP1 的输出作为正端输入
- 三个 CMP 的负端均可独立切换至：
 - 三个 CMP 共用的外部输入端口 CMPxN
 - 内建 DAC 输出
 - 内建虚拟中心点
- CMP0/1/2 中断可唤醒 STOP Mode
- 迟滞电压四档可选：0/5/10/20mV
- 响应时间约为 50ns

13.4 虚拟中心点

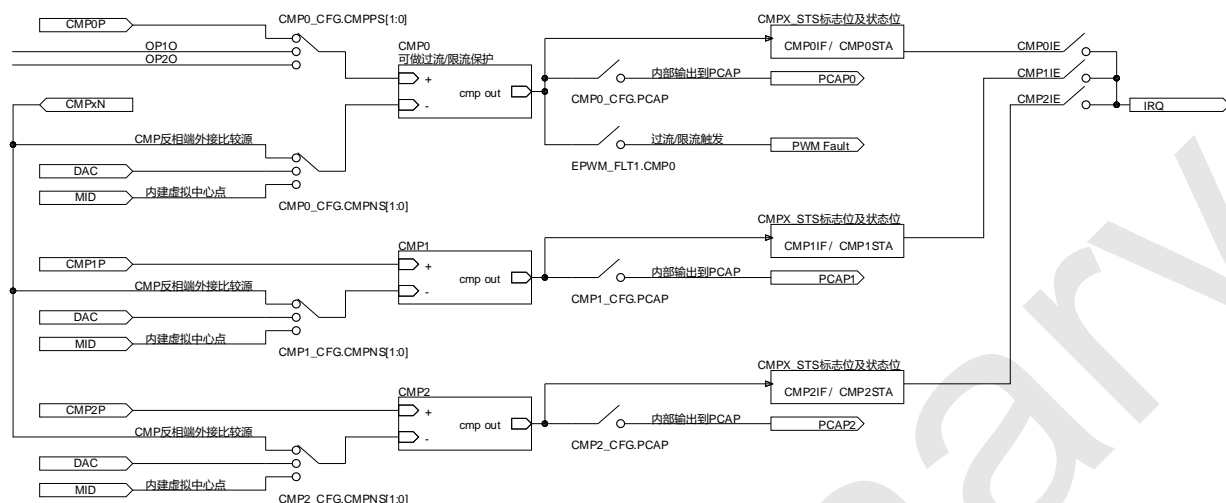
CMP0/1/2 负输入端可选择虚拟中心点 MID 信号，虚拟中心点 MID 是取正输入端 CMP0P/ CMP1P/CMP2P 信号的平均电压值。

MID 主要用于方波模式控制时，虚拟电机相线中心点电压，用于反电势过零点检测。三个相线分压后，分别接 CMP0P、CMP1P、CMP2P，比较器负端选择 MID，可以通过比较检测出换相的过零点。



虚拟中心点 MID 示意图

13.5 模拟比较器结构框图



CMP 结构框图

13.6 CMP 中断

对于 CMP0~2，在满足设定的 CMPIM[1:0]设定条件时会触发中断。可以使用单独的中断使能位以提高灵活性。

中断事件	中断请求控制位	事件标志位	中断使能子开关
CMP0 满足 CMPIM[1:0]设定的中断触发条件	CMPX_IDE->INTEN	CMP0IF	CMP0IE
CMP1 满足 CMPIM[1:0]设定的中断触发条件		CMP1IF	CMP1IE
CMP2 满足 CMPIM[1:0]设定的中断触发条件		CMP2IF	CMP2IE

13.7 CMP 寄存器

13.7.1 CMP0/1/2 相关寄存器表

13.7.1.1 CMP0/1/2 状态寄存器 CMPX_STS

寄存器	读/写	说明	复位值	上电初始值
CMPX_STS	读/写	CMP0/1/2 状态寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0

-	-	CMP2STA	CMP1STA	CMP0STA	CMP2IF	CMP1IF	CMP0IF
---	---	---------	---------	---------	--------	--------	--------

位编号	位符号	说明
5	CMP2STA	CMP2 输出状态位 0: CMP2 正端电压小于负端电压 1: CMP2 正端电压大于负端电压
4	CMP1STA	CMP1 输出状态位 0: CMP1 正端电压小于负端电压 1: CMP1 正端电压大于负端电压
3	CMP0STA	CMP0 输出状态位 0: CMP0 正端电压小于负端电压 1: CMP0 正端电压大于负端电压
2	CMP2IF	CMP2 中断标志位 该位由硬件置 1，通过软件写 1 清 0。 0: CMP2 中断未被触发； 1: 当 CMP2 满足中断触发条件时，此位会被硬件置 1。如果此时 CMP2IE 使能，CMP2 中断产生。
1	CMP1IF	CMP1 中断标志位 该位由硬件置 1，通过软件写 1 清 0。 0: CMP1 中断未被触发； 1: 当 CMP1 满足中断触发条件时，此位会被硬件置 1。如果此时 CMP1IE 使能，CMP1 中断产生。
0	CMP0IF	CMP0 中断标志位 该位由硬件置 1，通过软件写 1 清 0。 0: CMP0 中断未被触发； 1: 当 CMP0 满足中断触发条件时，此位会被硬件置 1。如果此时 CMP0IE 使能，CMP0 中断产生。
31~6	-	保留

13.7.1.2 CMP0/1/2 控制寄存器 CMPX_CON

寄存器	读/写	说明	复位值	上电初始值
CMPX_CON	读/写	CMP0/1/2 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	HYS[1:0]	

位编号	位符号	说明
1~0	HYS[1:0]	CMP0/CMP1/CMP2 迟滞（回差）电压选择位 00: 0V 01: 5mV 10: 10mV 11: 20mV
31~2	-	保留

13.7.1.3 CMP0/1/2 中断使能寄存器 CMPX_IDE

寄存器	读/写	说明	复位值	上电初始值
CMPX_IDE	读/写	CMP0/1/2 中断使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
INTEN	-	-	-	-	CMP2IE	CMP1IE	CMP0IE

位编号	位符号	说明
7	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
2	CMP2IE	CMP2 中断使能位 0: CMP2IF 置起时, 不允许产生中断 1: CMP2IF 置起时, 允许产生中断
1	CMP1IE	CMP1 中断使能位 0: CMP1IF 置起时, 不允许产生中断 1: CMP1IF 置起时, 允许产生中断
0	CMP0IE	CMP0 中断使能位 0: CMP0IF 置起时, 不允许产生中断 1: CMP0IF 置起时, 允许产生中断
31~8 6~3	-	保留

13.7.1.4 CMP0 配置寄存器 CMP0_CFG

寄存器	读/写	说明	复位值	上电初始值
CMP0_CFG	读/写	CMP0 配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
CMPEN	CMPIM[1:0]		-	CMPPS[1:0]		CMPNS[1:0]	

位编号	位符号	说明
7	COMPEN	CMP0 使能位 0: 关闭 CMP0 1: 使能 CMP0
6~5	COMPIM[1:0]	CMP0 中断模式选择位 00: 不产生中断 01: 上升沿中断: IN+从小于 IN- 到大于 IN- 后会产生中断; 10: 下降沿中断: IN+从大于 IN- 到小于 IN- 后会产生中断; 11: 双沿中断: IN+从小于 IN- 到大于 IN- , 或 IN+从大于 IN- 到小于 IN-后均会产生中断;
3~2	COMPSP[1:0]	CMP0 正端信号选择位 00: 选用 CMP0P 01: 选用 OP1O 10: 选用 OP2O 11: 保留
1~0	COMPNS[1:0]	CMP0 负端信号选择位 00: 选用 CMPxN 01: 选用 DAC 输出 10: 选用 BEMF_MID(虚拟中心点), 虚拟中心点为 CMP0P, CMP1P, CMP2P 经电阻连接后的平均值 11: 保留
31~8 4	-	保留

13.7.1.5 CMP1 配置寄存器 CMP1_CFG

寄存器	读/写	说明	复位值	上电初始值
CMP1_CFG	读/写	CMP1 配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
COMPEN	COMPIM[1:0]	-	-	-	-	COMPNS[1:0]	

位编号	位符号	说明
7	COMPEN	CMP1 使能位 0: 关闭 CMP1 1: 使能 CMP1
6~5	COMPIM[1:0]	CMP1 中断模式选择位 00: 不产生中断 01: 上升沿中断: IN+从小于 IN- 到大于 IN- 后会产生中断; 10: 下降沿中断: IN+从大于 IN- 到小于 IN- 后会产生中断; 11: 双沿中断: IN+从小于 IN- 到大于 IN- , 或 IN+从大于 IN- 到小于 IN-后均会产生中断;
1~0	COMPNS[1:0]	CMP1 负端信号选择位 00: 选用 CMPxN 01: 选用 DAC 输出 10: 选用 BEMF_MID(虚拟中心点), 虚拟中心点为 CMP0P, CMP1P, CMP2P 经电阻连接后的平均值

位编号	位符号	说明
		11: 保留
31~8 4~2	-	保留

13.7.1.6 CMP2 配置寄存器 CMP2_CFG

寄存器	读/写	说明	复位值	上电初始值
CMP2_CFG	读/写	CMP2 配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
CMPEN	CMPIM[1:0]		-	-	-	CMPNS[1:0]	

位编号	位符号	说明
7	CMPEN	CMP2 使能位 0: 关闭 CMP2 1: 使能 CMP2
6~5	CMPIM[1:0]	CMP2 中断模式选择位 00: 不产生中断 01: 上升沿中断: IN+从小于 IN- 到大于 IN- 后会产生中断; 10: 下降沿中断: IN+从大于 IN- 到小于 IN- 后会产生中断; 11: 双沿中断: IN+从小于 IN- 到大于 IN- , 或 IN+从大于 IN- 到小于 IN-后均会产生中断;
1~0	CMPNS[1:0]	CMP2 负端信号选择位 00: 选用 CMPxN 01: 选用 DAC 输出 10: 选用 BEMF_MID(虚拟中心点), 虚拟中心点为 CMP0P, CMP1P, CMP2P 经电阻网络连接后取的电压平均值 11: 保留
31~8 4~2	-	保留

13.7.2 CMP0/1/2 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
CMP 基地址: 0x4002_2150					
CMPX_STS	0x00	读/写	CMP0/1/2 状态寄存器	0x0000_0000	0x0000_0000
CMPX_CON	0x04	读/写	CMP0/1/2 控制寄存器	0x0000_0000	0x0000_0000
CMPX_IDE	0x08	读/写	CMP0/1/2 中断使能寄存器	0x0000_0000	0x0000_0000
CMP0_CFG	0x0C	读/写	CMP0 配置寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
CMP1_CFG	0x10	读/写	CMP1 配置寄存器	0x0000_0000	0x0000_0000
CMP2_CFG	0x14	读/写	CMP2 配置寄存器	0x0000_0000	0x0000_0000

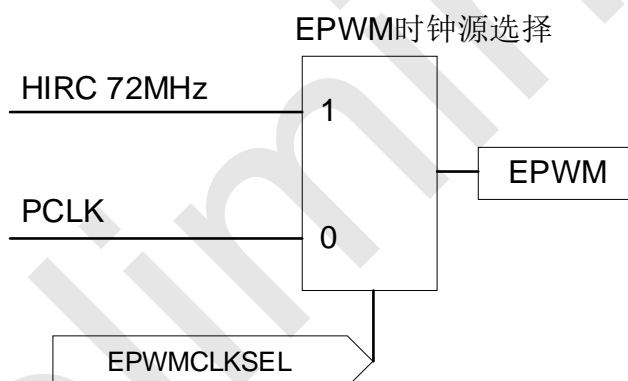
14 增强型 6 路 16 位多功能 PWM（EPWM）

14.1 概述

SC32M13X&SCDx13X 系列的 EPWM 是增强型 6 路 3 组 16 位共周期多功能 EPWM。EPWM 的功能非常丰富：支持周期及占空比的调整，输出波形类型可选择中心对齐型对称型、中心对齐非对称型以及边沿对齐型，输出模式可选择独立模式、互补模式，支持死区功能、支持多级故障检测机制。寄存器 EPWM_CON、EPWM_STS 控制 EPWM 的状态及周期，各路 EPWM 的打开及输出波形、波形反相及占空比均可单独调整。

14.2 时钟源

- SC32M13X&SCDx13X 系列 EPWM 可选来自 PCLK 或 HIRC
- EPWM 输出频率最高为所选时钟源的频率
- EPWM 时钟预分频档位范围为：/1 ~ /128



14.3 特性

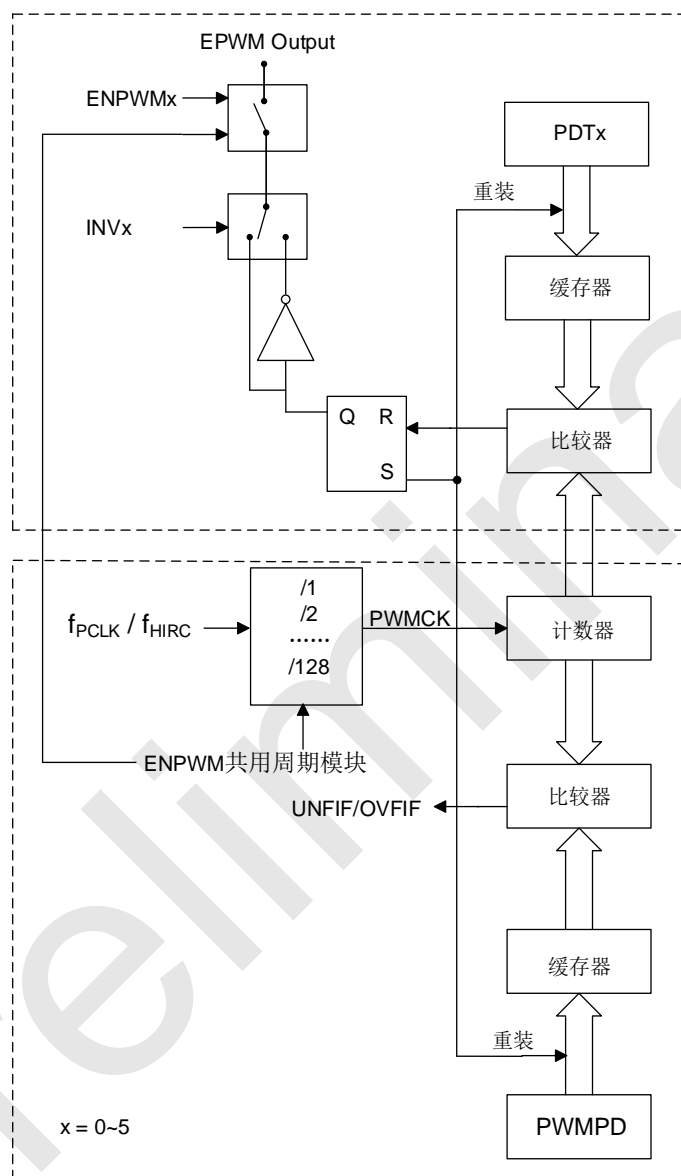
- 增强型 6 路 3 组 16 位共周期多功能 EPWM
 - 每一路 EPWM 的输出可单独使能
 - 每一路 EPWM 的可单独设比较值，所以也可以独立设置占空比
 - 每一路 EPWM 的输出波形可单独设置反向
- 6 路 EPWM 输出顺序与组合可设置：
 - H 和 L 分两组排列：U_H/V_H/W_H 和 U_L/V_L/W_L
 - H 和 L 穿插排列：U_H/U_L/V_H/V_L/W_H/W_L
 - 四种排列组合见下表：

EPWM 端口组合	组合一		组合二		组合三		组合四	
GPIO	SWAP=0 MAP=0		SWAP=1 MAP=0		SWAP=0 MAP=1		SWAP=1 MAP=1	
	PWM 编号	H/L	PWM 编号	H/L	PWM 编号	H/L	PWM 编号	H/L
PA3	EPWM0	U_H	EPWM1	U_L	EPWM0	U_H	EPWM1	U_L

EPWM 端口组合	组合一		组合二		组合三		组合四	
GPIO	SWAP=0 MAP=0		SWAP=1 MAP=0		SWAP=0 MAP=1		SWAP=1 MAP=1	
	PWM 编号	H/L	PWM 编号	H/L	PWM 编号	H/L	PWM 编号	H/L
PA4	EPWM1	U_L	EPWM0	U_H	EPWM2	V_H	EPWM3	V_L
PA5	EPWM2	V_H	EPWM3	V_L	EPWM4	W_H	EPWM5	W_L
PA6	EPWM3	V_L	EPWM2	V_H	EPWM1	U_L	EPWM0	U_H
PA7	EPWM4	W_H	EPWM5	W_L	EPWM3	V_L	EPWM2	V_H
PA8	EPWM5	W_L	EPWM4	W_H	EPWM5	W_L	EPWM4	W_H

- 与 ADC 的联动功能：提供 2 个 EPWM 比较值，当 EPWM 计数值达到设定比较值，可触发响应的 ADC 序列采样
- 对齐方式
 - 中心对齐型，包含中心对齐对称模式和中心对齐非对称模式
 - 边沿对齐型
- 可设为独立模式或互补模式：
 - 独立模式下，6 路 EPWM 周期相同，但每一路 EPWM 的打开及输出波形翻转比较值可单独调整
 - 互补模式下可同时输出 3 组互补、带死区的 EPWM 波形；
- 支持故障检测机制
 - 4 种故障触发源：软件触发、CMP0、OP1 和外部 FLT 管脚
 - 两种故障响应方式：cycle by cycle 和 one-shot
 - 每个触发源可单独设置触发电平和故障响应方式
 - 故障触发后，每路 EPWM 的输出状态单独可设
- 两种溢出中断：向上溢出与向下溢出中断
- 两种故障响应中断：cycle by cycle 和 one-shot

14.4 EPWM 结构框图



EPWM 结构框图

14.5 EPWM 波形定义

- $INVx=0$ 时, $EPWMx$, $x=0 \sim 5$ 初始/故障恢复后先输出低电平, 当达到 $CMPx$ [15:0]比较值, 输出高电平, 此模式下高电平为有效电平
- $INVx=1$ 时, $EPWMx$, $x=0 \sim 5$ 初始/故障恢复后先输出高电平, 当达到 $CMPx$ [15:0]比较值, 输出低电平, 此模式下低电平为有效电平

14.6 输出模式

14.6.1 独立模式

- 独立模式下 6 路 EPWM 周期相同，但每一路 EPWM 输出波形的波形翻转比较值单独可设置
- 独立模式下 EPWMx, x=0~5 输出波形的有效电平宽度为：PWMPD[15:0]-CMPx[15:0]个 EPWM 时钟

14.6.2 互补模式

- 互补模式下可同时输出 3 组共周期，互补、带死区的 EPWM 波形
- 互补模式下 EPWMx 和 EPWMy, x=0/2/4, y=x+1, EPWMx 和 EPWMy 输出波形的有效电平宽度为：PWMPD[15:0]- CMPx [15:0]个 EPWM 时钟

14.7 对齐类型

14.7.1 边沿对齐型

EPWM 计数器从 0 开始向上计数，当计数值与比较值 CMPx [15:0]的值匹配时 EPWM 输出波形切换高低电平，接着 EPWM 计数器继续向上计数直至与周期设置项 PWMPD[15:0] +1 的值匹配（一个 EPWM 周期结束），EPWM 计数器清 0，如果 EPWM 中断已使能，此时会产生 EPWM 中断。EPWM 输出波形为左边沿对齐方式。

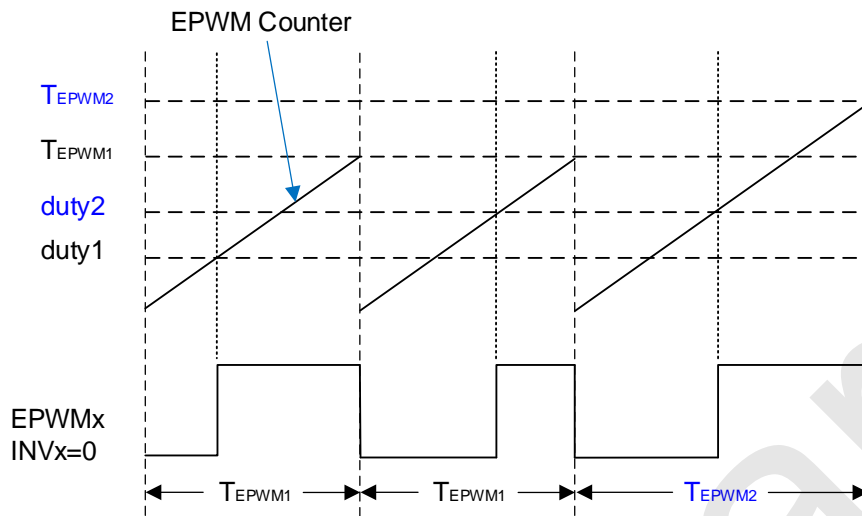
边沿对齐型周期 T_{EPWM} 计算公式：

$$T_{EPWM} = \frac{PWMPD[15:0] + 1}{EPWM \text{ 时钟频率}}$$

边沿对齐型占空比 duty 计算公式：

$$duty = \frac{PWMPD[15:0] + 1 - CMPx [15:0]}{PWMPD[15:0] + 1}$$

边沿对齐波形图如下，该示例 EPWMx 的 INVx=0，波形未取反，初始电平为低，当达到 duty 设置值后翻转为有效电平，即高电平：



边沿对齐的 EPWM——INVx=0 时，计数到达比较值才输出高

14.7.2 中心对齐对称模式(ASYMEN=0)

中心对齐对称模式下，上下计数时的比较值均为 CMPx[15:0]：EPWM 计数器从 0 开始向上计数，当计数值与 CMPx [15:0]的值匹配时 EPWM 输出波形切换高低电平，接着 EPWM 计数器继续向上计数，当计数值与周期设置项 PWMPD[15:0] +1 的值匹配时（即 EPWM 周期的中点）自动开始向下计数，当计数值与 CMPx [15:0]的值再次匹配时 EPWM 输出波形再次切换高低电平，接着 EPWM 计数器继续向下计数直至溢出（一个 PWM 周期结束），如果 EPWM 中断已使能，此时会产生 EPWM 中断。

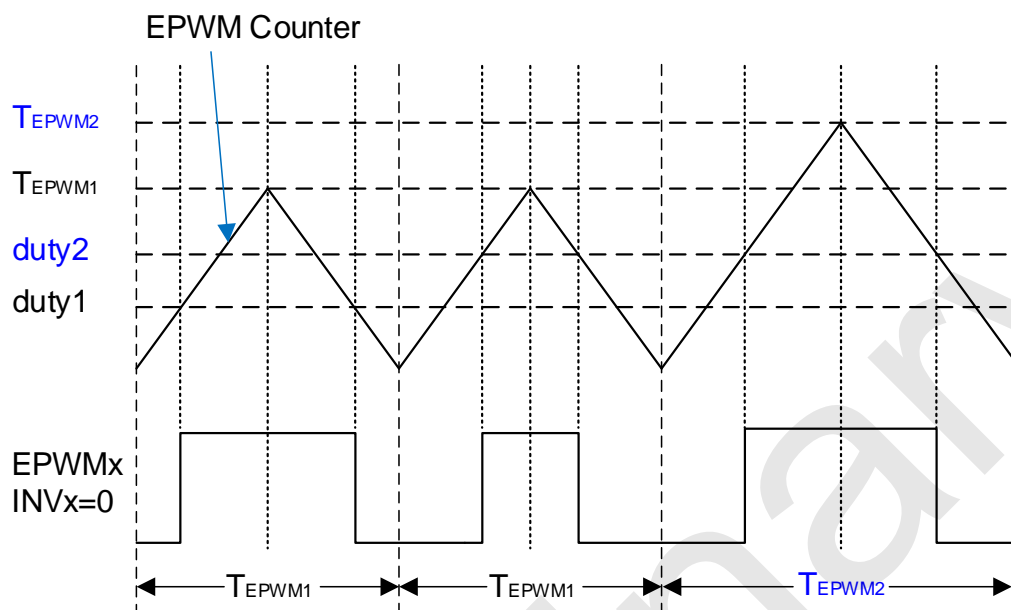
中心对齐型周期 T_{EPWM} 计算公式：

$$T_{EPWM} = 2 * \frac{PWMPD[15:0] + 1}{EPWM \text{ 时钟频率}}$$

中心对齐型对称模式占空比 duty 计算公式：

$$duty = \frac{PWMPD[15:0] + 1 - CMPx [15:0]}{PWMPD[15:0] + 1}$$

中心对齐对称模式波形图如下，该示例 EPWMx 的 INVx=0，波形未取反，初始电平为低，当达到 duty 设置值后翻转为有效电平，即高电平：



中心对齐的 EPWM——INVx=0 时，计数到达比较值才输出高

14.7.3 中心对齐非对称模式 (ASYMEN=1)

中心对齐非对称模式仅针对互补波形有效：

EPWMx 和 EPWMy 为互补模式下的一对 EPWM 输出信号，其中 $y=x+1$ ，中心对齐非对称模式下，EPWMx 和 EPWMy 的向上计数比较值均为 CMPx[15:0]，向下计数比较值均为 CMP_DOWy[15:0]。EPWM 计数器从 0 开始向上计数，当计数值等于 CMPx[15:0] 时，EPWMx 和 EPWMy 输出切换高低电平，之后 EPWM 计数器继续向上计数至与 PWMPD[15:0] 相等（计数器上溢），然后开始向下计数，当计数值等于 CMP_DOWx[15:0] 时，EPWMx 和 EPWMy 输出切换高低电平，之后继续向下计数至 0（计数器下溢），如果 EPWM 中断已使能，此时会产生 EPWM 中断。

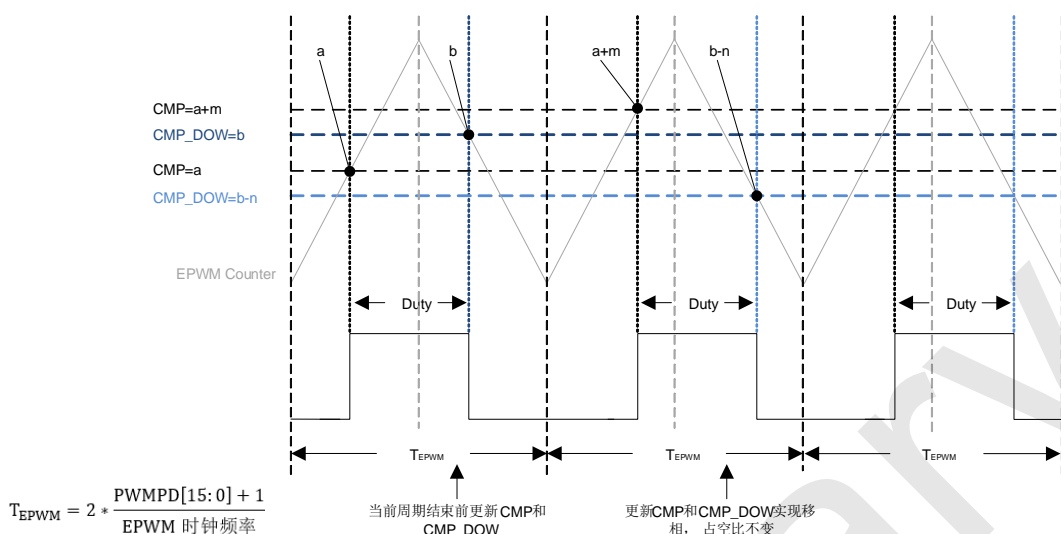
中心对齐型周期 T_{EPWM} 计算公式：

$$T_{EPWM} = 2 * \frac{PWMPD[15:0] + 1}{EPWM \text{ 时钟频率}}$$

中心对齐型非对称模式占空比 duty 计算公式：

$$duty = \frac{2 * (PWMPD[15:0] + 1) - CMPx[15:0] - CMP_DOWy[15:0]}{2 * (PWMPD[15:0] + 1)}$$

中心对齐对称模式波形图如下，该示例 EPWMx 的 INVx=0，波形未取反，初始电平为低，当达到 duty 设置值后翻转为有效电平，即高电平：



中心对齐非对称的 EPWM 示意图——INVx=0 时，计数到达比较值才输出高

14.7.3.1 关于非对称计数模式在移相中的应用：

在应用中，选用中心对齐非对称模式时，若使 CMPx[15:0]与 CMPx_DOWy[15:0]同时加减一个相等的值，可保持移相后 EPWM 占空比不变。即：

选择非对称计数方式(ASYMEN=1)

$$\text{Period} = PWMPD[15:0] + 1$$

初始时：CMPx[15:0]=a，CMP_DOWy[15:0]=b

$$\text{duty0} = \frac{(\text{Period} - a + \text{Period} - b)}{2 * \text{Period}} = \frac{2 * \text{Period} - (a + b)}{2 * \text{Period}}$$

移相后：CMPx[15:0]=a+m，CMP_DOWy[15:0]=b-n

$$\text{duty1} = \frac{(\text{Period} - a - m + \text{Period} - b + n)}{2 * \text{Period}} = \text{duty0}$$

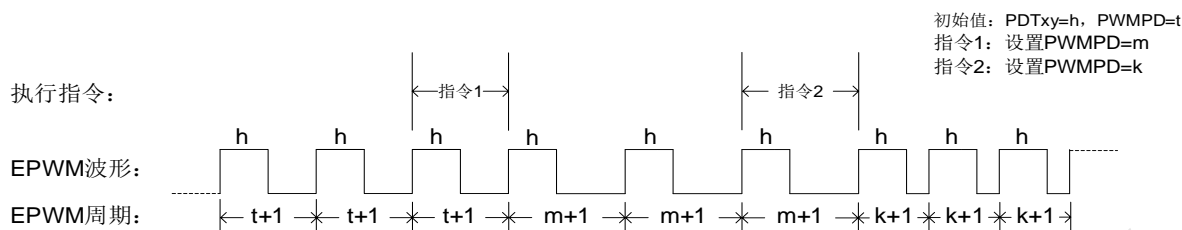
当 m=n：

$$\text{duty1} = \text{duty0}$$

即，移相后占空比不变。

14.8 周期变化特性

当 EPWM 输出波形时，若需改变周期，可通过改变周期设置寄存器 PWMPD 的值实现。更改 PWMPD 的值，周期不会立即改变，而是等待 EPWM 计数器计数到 0 或向上计数至与周期设置项 PWMPD[15:0] +1 的值匹配时改变，参考下图所示。

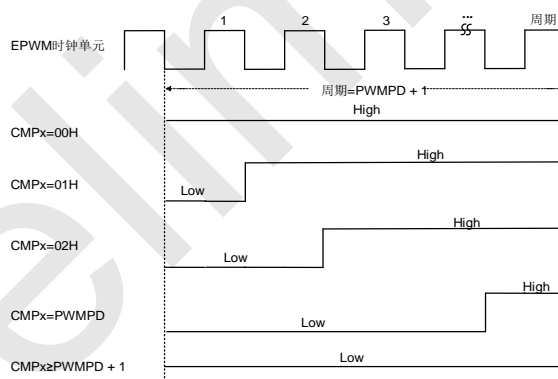


14.9 占空比变化特性

当 EPWMn 输出波形时, 若需改变占空比, 可通过改变比较值 $CMPx[15:0]$ 的值实现。但需要注意: 更改 $CMPx[15:0]$ 的值, 占空比不会立即改变, 而是等待 PWM 计数器计数到 0 或向上计数至与周期设置项 $PWMPD[15:0]+1$ 的值匹配时改变。

14.10 周期和占空比的关系

周期和占空比的关系如下图所示。该结果的前提是 EPWM 输出反向控制($INVx$, $x=0\sim5$)初始为 0, 若需得到相反结果, 可置 $INVx$ 为 1。



周期与占空比关系图

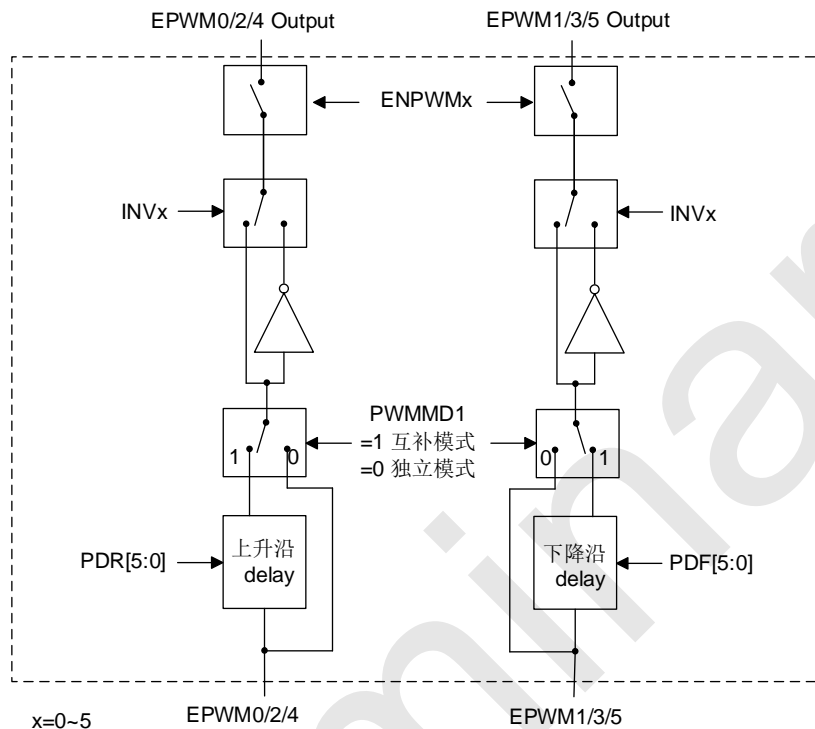
14.11 EPWM 故障检测机制

故障检测功能常应用于电机系统的保护。当故障检测触发源使能, 触发信号满足故障条件, 响应事件产生的标志位 $OSTIF$ 或 $CBCIF$ 通过硬件置 1, 所有 EPWM 通道立刻停止波形输出, 并且此时每一路 EPWM 的输出状态保持为预设状态。

EPWM 模块支持 4 种故障触发源: 软件触发、 $CMP0$ 、 $OP1$ 和外部 FLT 管脚。4 种触发源响应后, 均可单独设置响应方式: **cycle by cycle** 模式和 **one-shot** 模式, 每个触发源可单独设置触发电平和故障响应方式。

故障响应模式分为锁存(One-shot)模式和 **cycle by cycle** 模式:

14.13 EPWM 互补模式



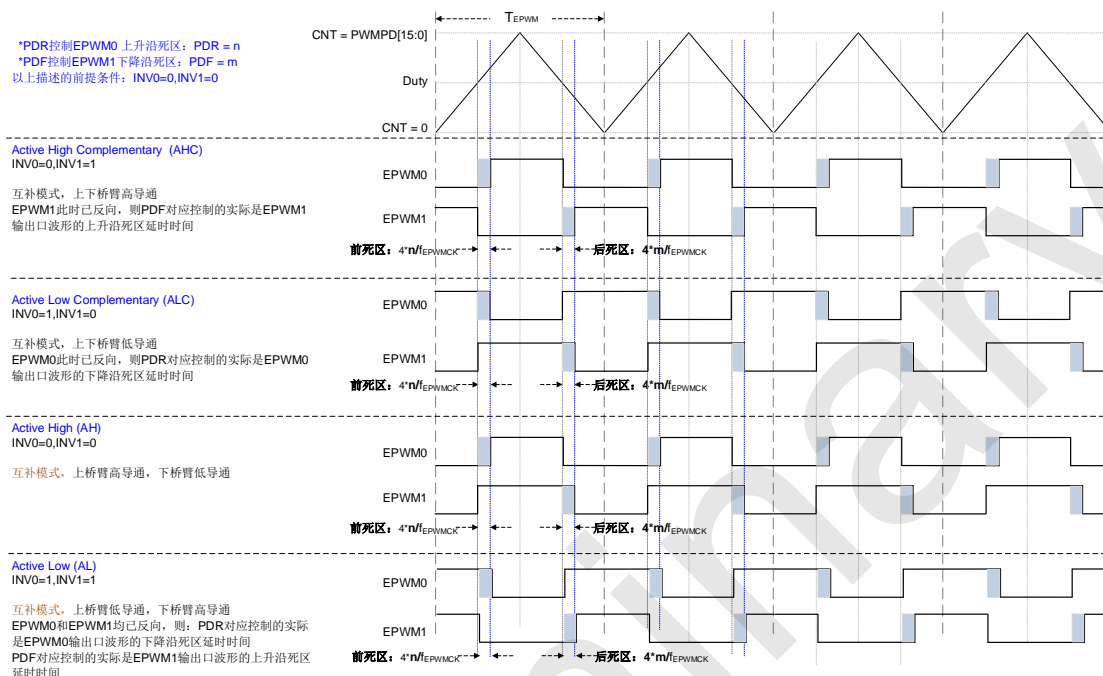
SC32M13X&SCDx13X 系列 EPWM 互补模式框图

14.13.1 EPWM 互补模式死区时间设置

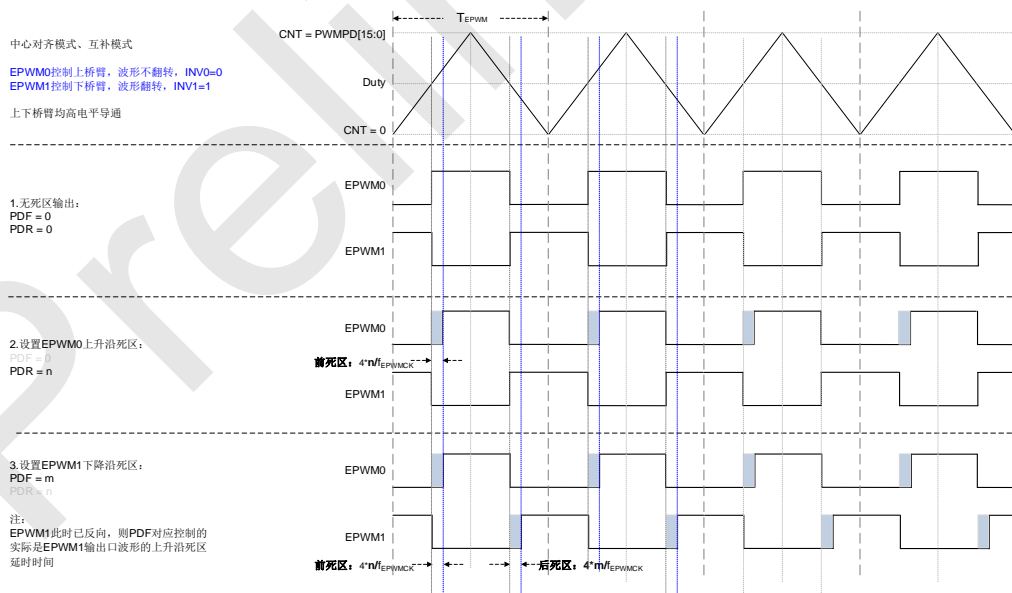
当 SC32M13X&SCDx13X 系列的 EPWM 工作在互补模式时，死区控制模块能够防止互补输出的两路 EPWM 信号有效时区的互相交叠，以保证实际应用中 EPWM 信号驱动的一对互补功率开关管不会同时导通。

14.13.2 EPWM 死区输出波形

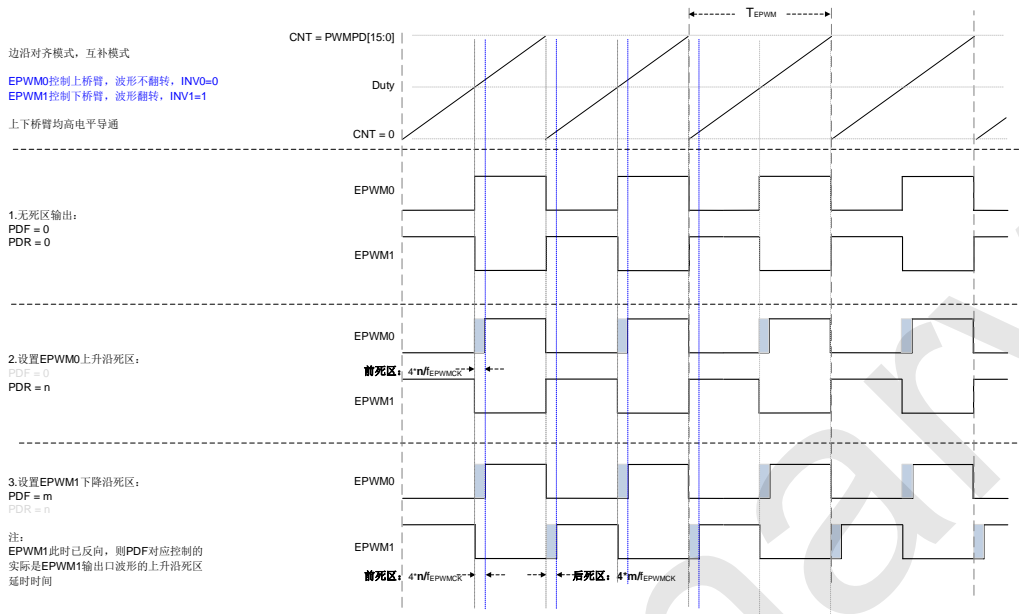
14.13.2.1 上下桥臂带死区的四种波形（以中心对齐为例）



14.13.2.2 中心对齐、互补模式下死区设置变化示意图



14.13.2.3 边沿对齐、互补模式下死区设置变化示意图



14.14 EPWM 端口输出组合

用户可根据应用需求，使用 EPWM_CON 寄存器中的 SWAP 与 MAP 位对 GPIO 对应的 EPWM 输出进行调整。

EPWM 端口组合	组合一		组合二		组合三		组合四	
GPIO	SWAP=0 MAP=0		SWAP=1 MAP=0		SWAP=0 MAP=1		SWAP=1 MAP=1	
	PWM 编号	H/L	PWM 编号	H/L	PWM 编号	H/L	PWM 编号	H/L
PA3	EPWM0	U_H	EPWM1	U_L	EPWM0	U_H	EPWM1	U_L
PA4	EPWM1	U_L	EPWM0	U_H	EPWM2	V_H	EPWM3	V_L
PA5	EPWM2	V_H	EPWM3	V_L	EPWM4	W_H	EPWM5	W_L
PA6	EPWM3	V_L	EPWM2	V_H	EPWM1	U_L	EPWM0	U_H
PA7	EPWM4	W_H	EPWM5	W_L	EPWM3	V_L	EPWM2	V_H
PA8	EPWM5	W_L	EPWM4	W_H	EPWM5	W_L	EPWM4	W_H

14.15 EPWM 中断

SC32M13X&SCDx13X 系列的 EPWM 完成一个周期的输出后，OVFIF/UNFIF 会置起，如果 EPWM_IDE .INTEN=1，且对应中断使能位 OVFIE/UNFIE 开启，将产生中断。cycle by cycle 和 One-shot 也分别有各自的中断请求及标志位。

中断事件	中断请求控制位	事件标志位	中断使能子开关
EPWM 计数器上溢	EPWM_IDE->INTEN	OVFIF	OVFIE
EPWM 计数器下溢		UNFIF	UNFIE

中断事件	中断请求控制位	事件标志位	中断使能子开关
cycle by cycle 中断请求		CBCIF	CBCIE
One-shot 中断请求		OSTIF	OSTIE

14.16 EPWM 寄存器

14.16.1 EPWM 相关寄存器表

14.16.1.1 EPWM 控制寄存器 EPWM_CON

寄存器	读/写	说明	复位值	上电初始值
EPWM_CON	读/写	EPWM 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	SPOS	-	SWAP	MAP	-	-
7	6	5	4	3	2	1	0
ENPWM	PWMMD0	PWMMD1	ASYMEN	-	PWMCK[2:0]		

位编号	位符号	说明								
13	SPOS	EPWM 信号口映射控制位 <table><tr><th>信号</th><th>FLT</th></tr><tr><td>SPOS 值</td><td></td></tr><tr><td>SPOS=0</td><td>PA1</td></tr><tr><td>SPOS=1</td><td>PC3</td></tr></table>	信号	FLT	SPOS 值		SPOS=0	PA1	SPOS=1	PC3
信号	FLT									
SPOS 值										
SPOS=0	PA1									
SPOS=1	PC3									
11	SWAP	EPWM0~5 的 H 和 L 输出端口交换控制位： 0: EPWM 的 H 和 L 不交换 1: EPWM 的 H 和 L 交换：U/V/W/X 每一对各自交换 H 和 L SWAP 和 MAP 四种端口组合见“EPWM 端口输出组合”小节								
10	MAP	EPWM0~5 输出端口映射切换位： 1: H 和 L 分两组排列：U_H/V_H/W_H 和 U_L/V_L/W_L 0: H 和 L 穿插排列：U_H/U_L/V_H/V_L/W_H/W_L								
7	ENPWM	EPWM 模块开关控制位 1: 允许 Clock 进到 EPWM 单元，EPWM 处于工作状态，EPWM 输出 口的状态由寄存器 ENPWMx 控制（x=0~5） 0: EPWM 单元停止工作，EPWM 计数器清 0，全部 EPWM 输出口设 置为 GPIO 状态								
6	PWMMD0	EPWM 波形对齐模式选择位 0: 边沿对齐模式 1: 中心对齐模式								
5	PWMMD1	EPWM 波形互补模式设置位 0: 独立模式 1: 互补模式								

位编号	位符号	说明
4	ASYMEN	EPWM 中心对齐模式下非对称计数使能 0: 对称计数使能 1: 非对称计数使能
2~0	PWMCK[2:0]	EPWM 时钟频率档位控制位 用于设定 EPWM 时钟频率 f_{EPWM} 为: 000: $f_{SOURCE}/1$ 001: $f_{SOURCE}/2$ 010: $f_{SOURCE}/4$ 011: $f_{SOURCE}/8$ 100: $f_{SOURCE}/16$ 101: $f_{SOURCE}/32$ 110: $f_{SOURCE}/64$ 111: $f_{SOURCE}/128$ 说明: f_{SOURCE} 受 EPWMCLKSEL 影响, 时钟源可选 PCLK 或 HIRC
31~14 12 9~8 3	-	保留

14.16.1.2 EPWM 通道设置寄存器 EPWM_CHN

寄存器	读/写	说明	复位值	上电初始值
EPWM_CHN	读/写	EPWM 通道设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	EPWM5	EPWM4	EPWM3	EPWM2	EPWM1	EPWM0

位编号	位符号	说明
5~0	EPWMx (x=0~5)	EPWMx 波形输出选择 0: EPWMx 输出被关闭并作为 GPIO 1: 当 EPWMx=1 时, EPWMx 所在的管脚作为波形输出口 说明: 如果 ENPWM 置 1, EPWM 模块被打开, 但 EPWMx=0, EPWM 输出被关闭并作为 GPIO 口。此时 EPWM 模块可以作为一个 16 位 Timer 使用, 若此时 EPWM_IDE.INTEN = 1, EPWM 仍然会产生中断。
31~6	-	保留

14.16.1.3 EPWM 状态标志寄存器 EPWM_STS

寄存器	读/写	说明	复位值	上电初始值
EPWM_STS	读/写	EPWM 状态标志寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	OSTIF	CBCIF	UNFIF	OVFIF

位编号	位符号	说明
3	OSTIF	One-shot 事件产生标志位 该位由硬件置 1，通过软件写 1 清 0。 0: EPWM 处于正常输出状态 1: One-shot 事件被触发
2	CBCIF	cycle by cycle 事件产生状态位 0: PWM 处于正常输出状态 1: cycle by cycle 事件被触发 该位会在每个 PWM 周期被清除或复位 如果被清除时，cycle by cycle 事件仍然存在，则它将再次置起
1	UNFIF	EPWM 计数器下溢标志位 该位由硬件置 1，通过软件写 1 清 0。 0: EPWM 计数器无下溢 1: EPWM 计数器向下溢出 注意：此位仅在中心对齐模式下有效。
0	OVFIF	EPWM 计数器上溢标志位 该位由硬件置 1，通过软件写 1 清 0。 0: EPWM 计数器无上溢 1: EPWM 计数器向上溢出
31~4	-	保留

14.16.1.4 EPWM 中断使能寄存器 EPWM_IDE

寄存器	读/写	说明	复位值	上电初始值
EPWM_IDE	读/写	EPWM 中断使能寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-

7	6	5	4	3	2	1	0
INTEN	-	-	-	OSTIE	CBCIE	UNFIE	OVFIE

位编号	位符号	说明
7	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
3	OSTIE	One-shot 事件中断使能位 0: OSTIF 置起时不允许产生中断 1: OSTIF 置起时要产生中断
2	CBCIE	cycle by cycle 事件中断使能位 0: CBCIF 置起时不允许产生中断 1: CBCIF 置起时要产生中断
1	UNFIE	EPWM 计数器下溢中断使能位 0: UNFIF 置起时不允许产生中断 1: UNFIF 置起时要产生中断 注意: 此位仅在中心对齐模式下有效。
0	OVFIE	EPWM 计数器上溢中断使能位 0: OVFIF 置起时不允许产生中断 1: OVFIF 置起时要产生中断
31~8 6~4	-	保留

14.16.1.5 EPWM 波形输出反向控制寄存器 EPWM_INV

寄存器	读/写	说明	复位值	上电初始值
EPWM_INV	读/写	EPWM 波形输出反向控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	INV5	INV4	INV3	INV2	INV1	INV0

位编号	位符号	说明
5~0	INVx (x=0~5)	EPWMx 波形输出反向控制 1: EPWMx 波形输出反向 0: EPWMx 波形输出不反向
31~6	-	保留

14.16.1.6 EPWM 死区设置寄存器 EPWM_DFR

寄存器	读/写	说明	复位值	上电初始值
EPWM_DFR	读/写	EPWM 死区设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	PDF[5:0]					
7	6	5	4	3	2	1	0
-	-	PDR[5:0]					

位编号	位符号	说明
13~8	PDF[5:0]	下降沿死区时间设置位 此位仅在互补模式设置有效： $EPWM \text{ 下降沿死区时间} = 4 * PDF[5:0] / f_{EPWM}$
5~0	PDR[5:0]	上升沿死区时间设置位 此位仅在互补模式设置有效： $EPWM \text{ 上升沿死区时间} = 4 * PDR[5:0] / f_{EPWM}$
31~14 7~6	-	保留

14.16.1.7 EPWM 故障检测设置寄存器 1 EPWM_FLT_CFG1

寄存器	读/写	说明	复位值	上电初始值
EPWM_FLT_CFG1	读/写	EPWM 故障检测设置寄存器 1	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	PWMFLT5	PWMFLT4	PWMFLT3	PWMFLT2	PWMFLT1	PWMFLT0
23	22	21	20	19	18	17	16
FLTBRK	-	FLTLV	CMP0LV	-	OP1LV	-	-
15	14	13	12	11	10	9	8
-	-	FLTEVT	CMP0EVT	-	OP1EVT	-	SWEVT
7	6	5	4	3	2	1	0
-	-	FLTPIN	CMP0	-	OP1	-	SWTRG

位编号	位符号	说明
29~24	PWMFLT _x	故障机制被触发后，EPWM _x ，x=0~5 输出电平选择位 0: 通道 x 输出低电平 1: 通道 x 输出高电平
23	FLTBRK	触发故障后，每一路 EPWM 端口状态： 0: 高阻，等效于 EPWM 输出端口与外界已断开 1: PWMFLT _x 设置的电平 注意：只位仅对使能为 EPWM 功能的端口有效（EPWM _x =1），未使能 EPWM 功能的端口不受该位控制
21	FLTLV	EPWM 故障检测电平选择位 0: 故障检测低电平有效 1: 故障检测高电平有效

位编号	位符号	说明
20	CMP0LV	CMP0 输出有效电平触发 EPWM 故障设置位 0: 输出低电平触发 1: 输出高电平触发
18	OP1LV	OP1_CMP 输出有效电平触发 EPWM 故障设置位 0: 输出低电平触发 1: 输出高电平触发
13	FLTEVT	外部 FLT 管脚故障检测触发事件设置位 0: 以 One-shot 事件响应 1: 以 cycle-by-cycle 事件响应
12	CMP0EVT	CMP0 故障检测触发事件设置位 0: 以 One-shot 事件响应 1: 以 cycle-by-cycle 事件响应
10	OP1EVT	OP1-CMP 故障检测触发事件设置位 0: 以 One-shot 事件响应 1: 以 cycle-by-cycle 事件响应
8	SWEVT	软件故障触发事件设置位 0: 以 One-shot 事件响应 1: 以 cycle-by-cycle 事件响应
5	FLTPIN	外部 FLT 管脚检测触发故障机制使能位 0: 禁止 1: 使能, 故障检测信号输入脚(FLT) 生效
4	CMP0	CMP0 触发 EPWM 故障机制使能位 0: 禁止 1: 使能
2	OP1	OP1-CMP 模式触发 EPWM 故障机制使能位 0: 禁止 1: 使能
0	SWTRG	软件触发 EPWM 故障机制控制位 0: 禁止 1: 触发一次 SWEVT 选择的事件, 触发后该位自动清 0 注意: 软件触发的故障不做滤波处理
31~30 22 19 17~14 11 9 7~6 3 1	-	保留

14.16.1.8 EPWM 故障检测设置寄存器 0 EPWM_FLT_CFG0

寄存器	读/写	说明	复位值	上电初始值
EPWM_FLT_CFG0	读/写	EPWM 故障检测设置寄存器 0	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8

-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
FLTEN	HALTMS	-	-	-	-	-	-

位编号	位符号	说明
7	FLTEN	EPWM 故障检测功能控制位 故障检测总使能开关。关闭后所有故障检测均被屏蔽 0: 故障检测功能关闭 1: 故障检测功能开启
6	HALTMA	HALT（调试暂停）时 EPWM 所有已使能通道的状态控制位 0: 所有已使能通道正常输出 1: 所有已使能通道输出刹车数据。在调试状态下，运行至断点/单步后或者操作 STOP 按钮后暂停时，EPWM 已使能通道的输出为刹车数据（PWMFLTN 设定值）。
31~8 5~0	-	保留

14.16.1.9 EPWM 周期寄存器 EPWM_CYCLE

寄存器	读/写	说明	复位值	上电初始值
EPWM_CYCLE	读/写	EPWM 周期寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
PWMPD[15:8]							
7	6	5	4	3	2	1	0
PWMPD[7:0]							

位编号	位符号	说明
15~0	PWMPD[15:0]	EPWM 周期设置位 此数值代表 PWM 输出波形的（周期 - 1）；即 PWM 输出的周期值为（PWMPD[15:0] + 1） * f _{EPWM} ；
31~16	-	保留

14.16.1.10 EPWM 通道占空比调节寄存器 EPWM_DT_x (x = 0,2,4)

寄存器	读/写	说明	复位值	上电初始值
EPWM_DT _x (x = 0,2,4)	读/写	EPWM 通道 x duty 寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-

15	14	13	12	11	10	9	8
CMP[15:8]							
7	6	5	4	3	2	1	0
CMP[7:0]							

位编号	位符号	说明
15~0	CMP[15:0]	<p>EPWMx 波形翻转比较值设置, $x = 0, 2, 4, 6$</p> <ul style="list-style-type: none"> 独立模式: EPWMx 的波形的有效电平宽度是(PWMPD[15:0]+1-CMPx[15:0])个 EPWM 时钟; 互补模式: EPWMx 和 EPWMy, $y=x+1$, EPWM 向上计数比较值设置, EPWMx 和 EPWMy 管脚上的 EPWM 波形的高有效电平宽度是 (PWMPD[15:0]+1-CMPx[15:0])个 EPWM 时钟 <p>INVx=0 时, EPWMx 初始/故障恢复后先输出低电平, 当达到 CMPx 比较值, 输出高电平, 此模式下高电平为有效电平</p> <p>INVx=1 时, EPWMx 初始/故障恢复后先输出高电平, 当达到 CMPx 比较值, 输出低电平, 此模式下低电平为有效电平</p>
31~16	-	保留

14.16.1.11 EPWM 通道占空比调节寄存器 EPWM_DTy ($y = 1, 3, 5$)

寄存器	读/写	说明	复位值	上电初始值
EPWM_DT _x ($y = 1, 3, 5$)	读/写	EPWM 通道 y duty 寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
CMP[15:8]/CMP_DOW[15:8]							
7	6	5	4	3	2	1	0
CMP[7:0]/CMP_DOW[7:0]							

位编号	位符号	说明
15~0	CMP[15:0]/CMP_DOW[15:0]	<p>EPWMy 波形翻转比较值设置, $y = 1, 3, 5$</p> <ul style="list-style-type: none"> 独立模式: EPWMy 的波形的有效电平宽度是(PWMPD[15:0]+1-CMPx[15:0])个 PWM 时钟; 互补模式: 互补模式下, 该寄存器仅在中心对齐非对称模式下有效, 非中心对称模式下, 为向下计数的比较值 <p>中心对齐模式下, 计数方式为先向上计数再向下计数, PWM 计数器到中点或零点时, 均会重新加载占空比和周期值。</p> <p>中心对齐模式按对称方式又分为两种:</p> <ol style="list-style-type: none"> 对称计数方式(ASYMEN=0), 占空比由 CMPx[15:0]决定, 即上下比较值都是 CMPx; 非对称计数方式(ASYMEN=1), 占空比由 CMPx[15:0] (向上计数比较值) 与 CMP_DOWy[15:0] (向下计数比较值) 共同决定 <p>具体模式内容及应用方案可参考“中心对齐非对称模式”小节</p>
31~16	-	保留

14.16.1.12 ADC 序列 n 采样定时器比较门限设置寄存器

寄存器	读/写	说明	复位值	上电初始值
EPWM_ADCTRGn (n=0 ~ 1)	读/写	ADC 序列 n 采样定时器比较门限设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
DIR	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
SOCNT[15:8]							
7	6	5	4	3	2	1	0
SOCNT[7:0]							

位编号	位符号	说明
31	DIR	EPWM 中心对齐模式下，触发点的计数方向选择： 0：向上计数 1：向下计数
15~0	SOCNT[15:0]	EPWM 触发 ADC 采样序列 n 的定时配置值。 只要软件不更新，触发点就保持最后一次设置的值； 四个触发点配置相互独立：如果软件只更新了前两个触发点，下个周期载入时，也只有前两个点是新值，后两个还是之前的值
30~16	-	保留

14.16.2 EPWM 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
EPWM 基地址：0x4002_2200					
EPWM_CON	0x00	读/写	EPWM 控制寄存器	0x0000_0000	0x0000_0000
EPWM_CHN	0x04	读/写	EPWM 通道设置寄存器	0x0000_0000	0x0000_0000
EPWM_STS	0x08	读/写	EPWM 状态标志寄存器	0x0000_0000	0x0000_0000
EPWM_INV	0x0C	读/写	EPWM 波形输出反向控制寄存器	0x0000_0000	0x0000_0000
EPWM_DFR	0x10	读/写	EPWM 死区设置寄存器	0x0000_0000	0x0000_0000
EPWM_CYCL E	0x18	读/写	EPWM 周期寄存器	0x0000_0000	0x0000_0000
EPWM_FLT_ CFG0	0x1C	读/写	EPWM 故障检测设置寄存器 0	0x0000_0000	0x0000_0000
EPWM_FLT_ CFG1	0x20	读/写	EPWM 故障检测设置寄存器 1	0x0000_0000	0x0000_0000
EPWM_IDE	0x24	读/写	EPWM 中断使能寄存器	0x0000_0000	0x0000_0000
EPWM_DT _x (x = 0~5) 基地址：0x4002_2230					

寄存器	偏移地址	读/写	说明	复位值	上电初始值
EPWM_DT0	0x00	读/写	EPWM 通道 0 duty 寄存器	0x0000_0000	0x0000_0000
EPWM_DT1	0x04	读/写	EPWM 通道 1 duty 寄存器	0x0000_0000	0x0000_0000
EPWM_DT2	0x08	读/写	EPWM 通道 2 duty 寄存器	0x0000_0000	0x0000_0000
EPWM_DT3	0x0C	读/写	EPWM 通道 3 duty 寄存器	0x0000_0000	0x0000_0000
EPWM_DT4	0x10	读/写	EPWM 通道 4 duty 寄存器	0x0000_0000	0x0000_0000
EPWM_DT5	0x14	读/写	EPWM 通道 5 duty 寄存器	0x0000_0000	0x0000_0000
EPWM_ADCTRG 基地址: 0x4002_2250					
EPWM_ADCTRG0	0x00	读/写	ADC 序列 0 采样定时器比较门限设置寄存器	0x0000_0000	0x0000_0000
EPWM_ADCTRG1	0x04	读/写	ADC 序列 1 采样定时器比较门限设置寄存器	0x0000_0000	0x0000_0000

15 三相捕获模块 PCAP (3 phase capture)

15.1 概述

SC32M13X&SCDx13X 系列的 PCAP 支持三相编码信号输入，在电机类应用中可以是三相霍尔信号、电机三相编码器信号、三相反电势信号或其他。对输入信号的处理包括：滤波、鉴相、历史状态记录、方向判断、定时计数值捕获等。

15.2 时钟源

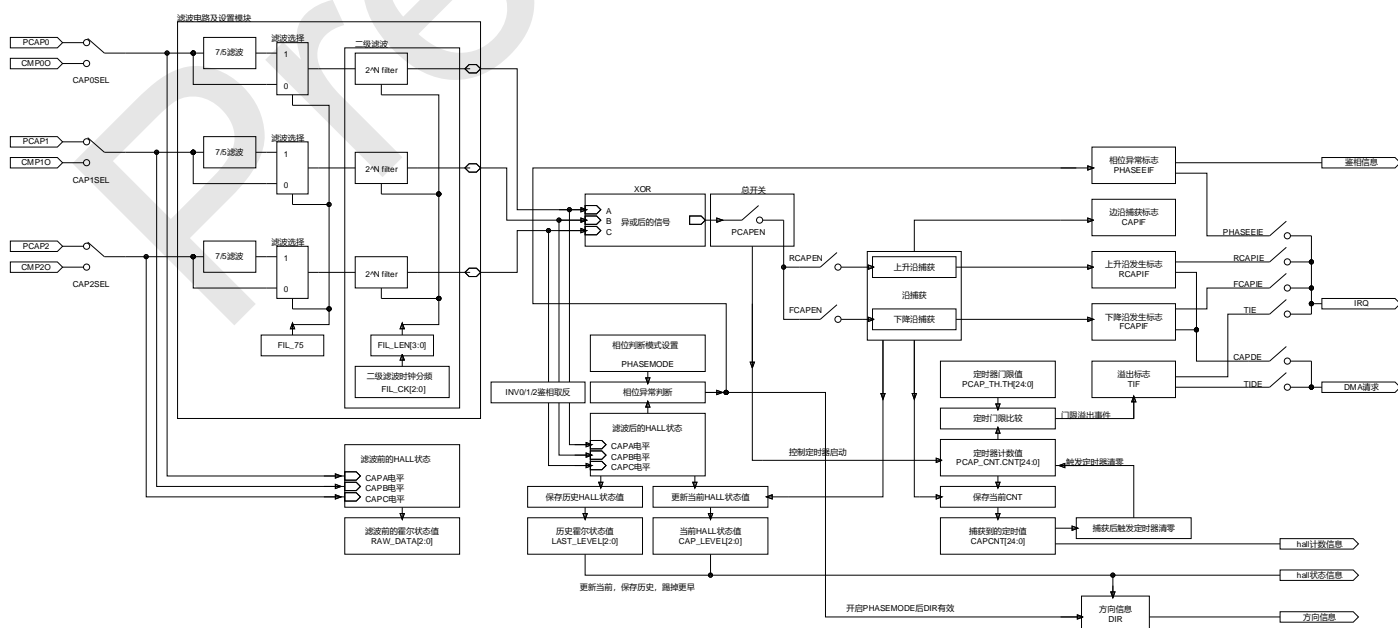
- SC32M13X&SCDx13X 系列的 PCAP 时钟源，来自 PCLK2
- PCAP 的工作时钟由 PCLK2 分频得到，/1 ~ /128 八档可选

15.3 特性

- 1 个独立 24 Bits 自动重载计数器，可设定计数门限
- 三路 PCAP 输入信号：PCAP0 / PCAP1 / PCAP2
- 输入信号两级滤波可设，滤波前后的捕获电平状态均可读取
- 计数器溢出事件和边沿捕获事件均可触发 DMA 请求
- 鉴相功能：可对三相信号进行 60°/ 120°的时序异常处理和鉴相诊断

15.4 PCAP 功能说明

15.4.1 PCAP 结构框图



15.4.2 PCAP 信号来源

PCAP 的信号来源有两种：

- 外部输入信号源：PCAP0/PCAP1/PCAP2
- 模拟比较器输出：CMP0O/CMP1O/CMP2O

15.4.3 PCAP 滤波功能

SC32M13X&SCDx13X 系列包括两级滤波器：7/5 滤波以及二级滤波，可对输入信号进行滤波处理，以去除杂波与毛刺。

15.4.3.1 7/5 滤波

第一级滤波为 7/5 滤波，其时钟源频率为 f_{PCAP} 。

7/5 滤波即在连续 7 个采样点中：如果达到超过 5 个 1 则输出 1；如果达到或超过 5 个 0 则输出 0，否则输出保持上一次的滤波结果。

15.4.3.2 连续滤波

第二级滤波为连续滤波，其时钟源频率为 f_{FIL} ， f_{FIL} 可通过寄存器 PCAP_CON 的寄存器位 FIL_CK[2:0] 设置 f_{PCAP} 分频得到（ n 为分频系数，根据 FIL_CK[2:0] 的选择值而改变）：

$$f_{FIL} = \frac{f_{PCAP}}{n}$$

连续滤波即在 N 个采样点中，若全为 0 则输出 0；若全为 1 则输出 1，否则输出保持上一次的滤波结果。

通过寄存器 PCAP_CON 可设置滤波宽度系数 FIL_LEN[3:0]，结合滤波频率 f_{FIL} 可得到滤波时间 T_{fil} 的公式为：

$$T_{fil} = \frac{4 * FIL_LEN[3:0]}{f_{FIL}}$$

低于滤波时间的信号将被硬件自动过滤掉。通过寄存器 PCAP_STS 的 RAW_DATA[2:0] 可读取滤波前的霍尔状态信息；通过寄存器 PCAP_RESULT 的 LAST_LEVEL[2:0] 及 CAP_LEVEL[2:0] 可读取捕获前以及捕获后的霍尔状态信息。

注意：7/5 滤波以及二级连续滤波都需要一定的建立时间，在应用中用户需要先开启滤波，并延时两个滤波宽度时间后，再开启上升沿/下降沿捕获使能可避免误捕获。

15.4.4 PCAP 捕获功能

PCAP 的捕获模块可测量两次信号变化之间的时间，通过 PCAP_CNT 计数器，开启 FCAPEN 上升沿捕获或者 RCAPEN 下降沿捕获使能后，将在对应边沿被检测到后发生一次捕获并将 PCAP_CNT 内的计数值存入 CAP_LEVEL[2:0] 中，上一次的捕获值将存入 LAST_LEVEL[2:0] 中。若捕获中断使能开启，则会产生对应中断。

若 PCAP_CNT 计数器的计数值达到门限寄存器 PCAP_TH 中设置的门限时仍然没有捕获产生，那么将发生计数器溢出并使计数器从 0 开始重新计数。

15.4.5 PCAP 鉴相功能

PCAP 的鉴相模块可对三路输入信号的相序进行判断。开启 PCAP_CON 中的 PHASEMODE 后可开启相位异常判断功能，当三路信号的相序为非法信号时将会产生相位异常并置起相位异常标志位 PHASEEIF；若开启相位异常中断使能 PHASEEIE，则会进入相位异常中断。

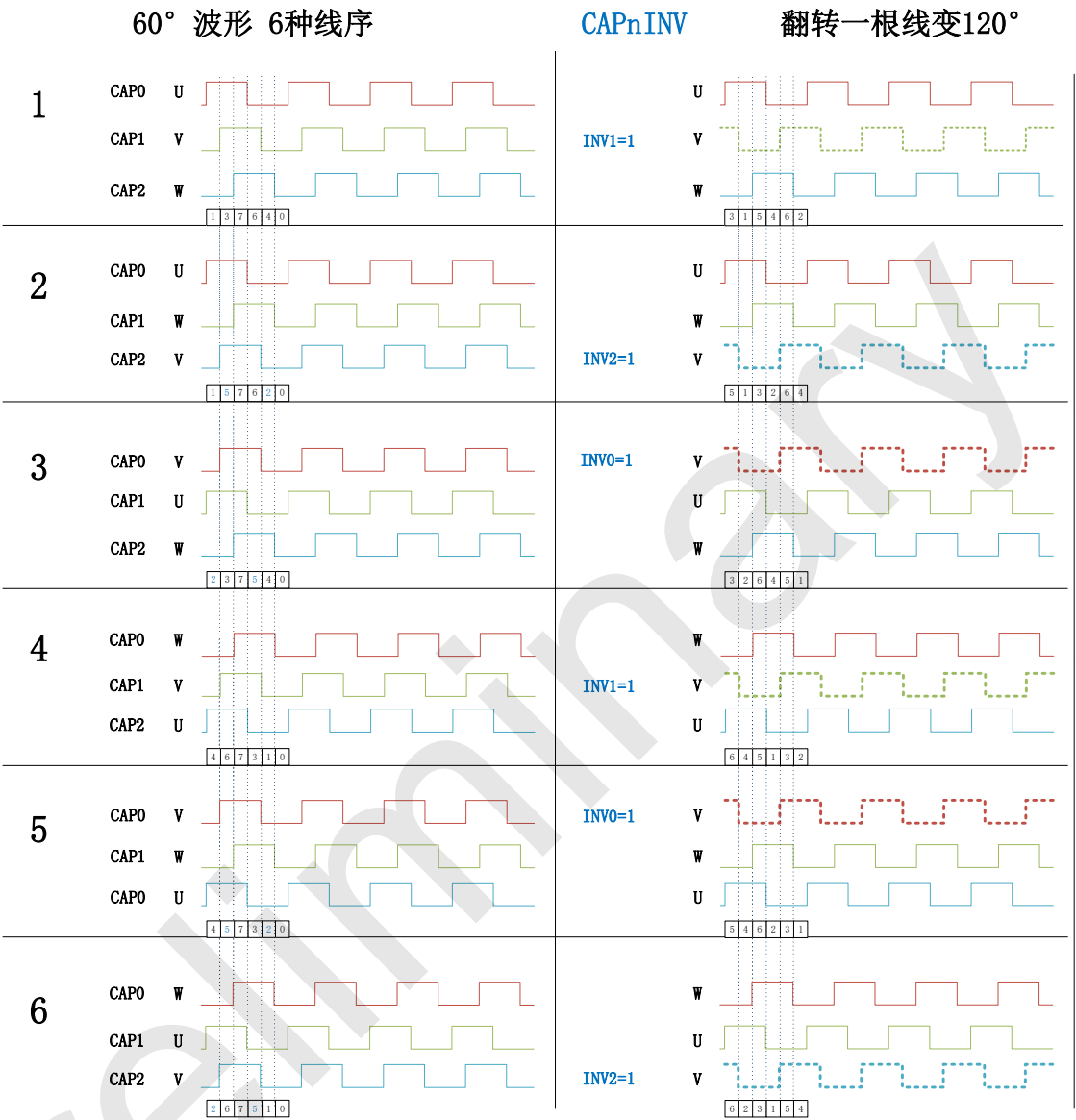
PCAP 的鉴相模块提供三路信号翻转设置位 INVn，n=0~2。INVn 写 1 后，对应的 CAPn 端口捕获的波形进行相位检测时，取翻转后的信号再判断。

相位判错功能开启时（PHASEMODE=1），如果三路 PCAP 输入信号为 120°相序，INV0~2 全 0；如果三根 PCAP 输入信号为 60°相序，需按照下图向对应 INVn 写 1。

相位异常判定前提：

- 120°相序，应用端接线顺序无限制，INV0~2 保持为 0，鉴相电路即可识别相序是否异常
- 60°相序，三根 PCAP 输入信号线共有六种线序，每种线序只需将其中一根信号线上的波形在检测电路端取翻转后的信号，即可变成 120°相序，接下来鉴相电路就能准确识别到相序是否异常。取翻转信号的方式：对 CAPn，n=0~2 端口对应的翻转位 INVn 写 1。为方便用户对实际线序配置 INVn 位，下图列出了 60°相位的六种波形图及翻转信号：

常规线序：
CAP0 → U
CAP1 → V
CAP2 → W



15.5 PCAP 中断

SC32M13X&SCDx13X 系列的 PCAP 在计数器溢出后，溢出标志位 TIF 会置起，如果此时 PCAP_IDE.INTEN=1，子开关 PCAP_IDE.TIE=1，计数器溢出中断将产生。相位异常检测和捕获事件发生也分别有各自的中断请求及标志位。

中断事件	中断请求控制位	事件标志位	中断使能子开关
输入上升/下降沿被捕获	PCAP_IDE ->INTEN	CAPIF	\
输入上升沿被捕获		RCAPIF	RCAPIE
输入下降沿被捕获		FCAPIF	FCAPIE
PCAP 定时器溢出		TIF	TIE
PCAP 相位异常		PHASEEIE	PHASEEIF

15.6 PCAP 寄存器

15.6.1 PCAP 相关寄存器表

15.6.1.1 PCAP 控制寄存器 PCAP_CON

寄存器	读/写	说明	复位值	上电初始值
PCAP_CON	读/写	PCAP 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
FIL_75	FIL_LEN[3:0]				FIL_CK[2:0]		
15	14	13	12	11	10	9	8
-	CAP2SEL	CAP1SEL	CAP0SEL	-	INV2	INV1	INV0
7	6	5	4	3	2	1	0
PCAPEN	FCAPEN	RCAPEN	PHASEMODE	-	PCAPCK[2:0]		

位编号	位符号	说明
23	FIL_75	7/5 滤波开关 0: 关闭 1: 使能 7/5 滤波为第一级滤波，其时钟频率为 f_{PCAP} ： 连续 7 个采样点中：如果达到超过 5 个 1 则输出 1；如果达到或超过 5 个 0 则输出 0，否则输出保持上一次的滤波结果。
22~19	FIL_LEN[3:0]	二级连续滤波宽度系数控制位 根据公式滤波时间 T_{fit} 为： $T_{fit} = \frac{4 * FIL_LEN[3:0]}{f_{FIL}}$ 低于滤波时间的信号将被硬件自动过滤掉 注意：若不需要任何滤波器，请将滤波器相关位设置为 0
18~16	FIL_CK[2:0]	二级连续滤波时钟频率档位控制位 000: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/1$ 001: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/16$ 010: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/32$ 011: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/64$ 100: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/128$ 101: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/256$ 110: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/512$ 111: 二级滤波时钟频率 $f_{FIL}=f_{PCAP}/1024$
14	CAP2SEL	PCAP2 输入信号选择 0: PCAP2 外部输入端口 1: CMP20
13	CAP1SEL	PCAP1 输入信号选择 0: PCAP1 外部输入端口 1: CMP10
12	CAP0SEL	PCAP0 输入信号选择 0: PCAP0 外部输入端口 1: CMP00

位编号	位符号	说明
10	INV2	鉴相取反端 CAPC 的翻转控制位 0: 在进行相位判断时使用原 CAPC 信号 1: 在进行相位判断时对 CAPC 端口捕获的波形进行取反
9	INV1	鉴相取反端 CAPB 的翻转控制位 0: 在进行相位判断时使用原 CAPB 信号 1: 在进行相位判断时对 CAPB 进行取反
8	INV0	鉴相取反端 CAPA 的翻转控制位 0: 在进行相位判断时使用原 CAPA 信号 1: 在进行相位判断时对 CAPA 进行取反
7	PCAPEN	PCAP 模块使能开关 0: 关闭 1: 开启
6	FCAPEN	PCAP 下降沿捕获模块使能开关 0: 关闭 1: 开启, 检测到 PCAP 信号的一个下降沿, 产生一个捕获, FCAPIF 被置起, PCAP_CNT 寄存器的值捕获到寄存器 PCAP_RESULT 里
5	RCAPEN	PCAP 上升沿捕获模块使能开关 0: 关闭 1: 开启, 检测到 PCAP 信号的一个上升沿产生一个捕获, RCAPIF 被置起, PCAP_CNT 寄存器的值捕获到寄存器 PCAP_RESULT 里
4	PHASEMODE	相位模式异常判断使能位 0: 不使能 1: 使能相位异常判断功能, 如果外接为 60°, 此时需同步设置 INVn 位以提供实际线序对应
2~0	PCAPCK[2:0]	PCAP 时钟频率 f _{PCAP} 档位控制位 000: f _{PCLK2} /1 001: f _{PCLK2} /2 010: f _{PCLK2} /4 011: f _{PCLK2} /8 100: f _{PCLK2} /16 101: f _{PCLK2} /32 110: f _{PCLK2} /64 111: f _{PCLK2} /128
31~24 15 11 3	-	保留

15.6.1.2 PCAP 计数寄存器 PCAP_CNT

寄存器	读/写	说明	复位值	上电初始值
PCAP_CNT	读/写	PCAP 计数寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
CNT[23:16]							
15	14	13	12	11	10	9	8
CNT[15:8]							
7	6	5	4	3	2	1	0
CNT[7:0]							

位编号	位符号	说明
23~0	CNT[23:0]	PCAP 的 CNT 计数器，此计数器可写入任何值清 0 CNT 从 0 开始计数，当信号被捕获时，将此时刻的 CNT 值保存到 PCAP_RESULT 寄存器，并将此时刻的信号电平状态保存到 CAP_LEVEL[2:0]，输出捕获中断，并使 CNT 重新从 0 开始计数。 当计数器计数值达到 PCAP_TH 时，且没有发生任何捕获时，输出 PCAP 计数器溢出中断，计数器重新从 0 开始计数。
31~24	-	保留

15.6.1.3 PCAP 计数器门限值寄存器 PCAP_TH

寄存器	读/写	说明	复位值	上电初始值
PCAP_TH	读/写	PCAP 计数器门限值寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
TH[23:16]							
15	14	13	12	11	10	9	8
TH[15:8]							
7	6	5	4	3	2	1	0
TH[7:0]							

位编号	位符号	说明
23~0	TH[23:0]	PCAP 计数器的门限值 当计数器计数值达到 PCAP_TH 时，且没有发生任何捕获时，输出 PCAP 计数器溢出中断，计数器重新从 0 开始计数。 可用于输入信号失效判断，某段时间输入信号一直不更新，可认为失效。
31~24	-	保留

15.6.1.4 PCAP 捕获值结果寄存器 PCAP_RESULT

寄存器	读/写	说明	复位值	上电初始值
PCAP_RESULT	只读	PCAP 捕获值结果寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
DIR	LAST_LEVEL[2:0]			-	CAP_LEVEL[2:0]		
23	22	21	20	19	18	17	16
CAPCNT[23:16]							
15	14	13	12	11	10	9	8
CAPCNT[15:8]							
7	6	5	4	3	2	1	0
CAPCNT[7:0]							

位编号	位符号	说明
31	DIR	信号方向状态 内部电路结合相位判断位，自动识别编码顺序，指示当前信号状态 0：正向

位编号	位符号	说明
		1: 反向 注意: 仅在 PHASEMODE 相位异常检测开启后, DIR 才有效
30~28	LAST_LEVEL[2:0]	捕获边沿来之前已滤波的信号电平状态
26~24	CAP_LEVEL[2:0]	捕获边沿来之后已滤波的信号电平状态
23~0	CAPCNT[23:0]	输入信号宽度计数值。 当下降沿/上升沿捕获条件发生, CNT 计数器值将被保存到该寄存器
27	-	保留

15.6.1.5 PCAP 标志及状态位寄存器 PCAP_STS

寄存器	读/写	说明	复位值	上电初始值
PCAP_STS	读/写	PCAP 标志及状态位寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
RAW_DATA[2:0]			PHASEEIF	FCAPIF	RCAPIF	CAPIF	TIF

位编号	位符号	说明
7~5	RAW_DATA[2:0]	捕获边沿来之后读到的未滤波信号电平状态 注意: 1. RAW_DATA[2:0]为实时更新 2. 该位只读
4	PHASEEIF	相位异常标志位 该位由硬件置 1, 通过软件写 1 清 0。 0: 相位无异常 1: 相位检测到异常
3	FCAPIF	输入下降沿捕获标志位 该位由硬件置 1, 通过软件写 1 清 0。 0: 无外部事件输入 1: 检测到外部下降沿输入 注意: 读取 PCAP_RESULT 也可清除此标志位
2	RCAPIF	输入上升沿捕获标志位 该位由硬件置 1, 通过软件写 1 清 0。 0: 无外部事件输入 1: 检测到外部上升沿输入 注意: 读取 PCAP_RESULT 也可清除此标志位
1	CAPIF	输入上升/下降沿捕获标志位 该位由硬件置 1, 通过软件写 1 清 0。 0: 无外部事件输入 1: 检测到外部上升/下降沿输入 注意: 读取 PCAP_RESULT 也可清除此标志位
0	TIF	PCAP 计数器溢出标志 该位由硬件置 1, 通过软件写 1 清 0。 0: 计数器无溢出

位编号	位符号	说明
		1: 计数器溢出
31~8	-	保留

15.6.1.6 PCAP 的中断使能及 DMA 控制寄存器 PCAP_IDE

寄存器	读/写	说明	复位值	上电初始值
PCAP_IDE	读/写	PCAP 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
INTEN	CAPDE	TIDE	PHASEEIE	FCAPIE	RCAPIE	-	TIE

位编号	位符号	说明
7	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
6	CAPDE	边沿捕获事件触发 DMA 请求使能位 0 = 边沿捕获事件禁止产生 DMA 请求 1 = 产生新的边沿捕获时触发 DMA 请求 DMA 将搬运 PCAP_RESULT 寄存器中的值
5	TIDE	定时器溢出事件触发 DMA 请求使能位 0 = 定时器溢出禁止产生 DMA 请求 1 = 定时器溢出允许产生 DMA 请求
4	PHASEEIE	相位异常中断使能位 0: 相位异常时不产生中断 1: 相位检测到异常, 产生中断
3	FCAPIE	输入下降沿捕获中断开关 0: 禁止下降沿中断 1: 使能下降沿中断
2	RCAPIE	输入上升沿捕获中断开关 0: 禁止上升沿中断 1: 使能上升沿中断
0	TIE	PCAP 计数器溢出中断开关 0: 禁止溢出中断 1: 使能溢出中断, 当计数器 CNT 达到 TH[23:0]门限值时产生中断
31~8 1	-	保留

15.6.2 PCAP 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
PCAP 基地址: 0x4002_2060					
PCAP_CON	0x00	读/写	PCAP 控制寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
PCAP_CNT	0x04	读/写	PCAP 计数寄存器	0x0000_0000	0x0000_0000
PCAP_TH	0x08	读/写	PCAP 计数器门限值寄存器	0x0000_0000	0x0000_0000
PCAP_RESULT	0x0C	只读	PCAP 捕获值结果寄存器	0x0000_0000	0x0000_0000
PCAP_STS	0x10	读/写	PCAP 标志及状态位寄存器	0x0000_0000	0x0000_0000
PCAP_IDE	0x14	读/写	PCAP 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

16 16 位定时/计数器（TIM）Timer0~Timer3

16.1 时钟源

- 定时模式/PWM 输出模式下，TIM 时钟源来自 PCLK
- 计数模式下，Tn 引脚为计数源输入

16.2 特性

- 支持 8 档 TIM 时钟预分频
- 4 个独立 16 Bits 自动重载计数器 Timer0~Timer3
- 16 位递增、递减、递增/递减自动重载计数器
- 支持上升沿/下降沿捕获，可实现 PWM duty 和周期捕获
- TIM1/2 溢出及捕获事件可产生 DMA 请求
- 所有 Timer 的 Tn 和 TnEX 管脚均可以重映射

16.3 计数方式

16.3.1 定时模式下 TIM 计数方式

- 向上计数：从设定值开始向上计数，至 0xFFFF 溢出
- 向下计数：从 0xFFFF 开始向下计数至设定值

16.3.2 PWM 输出模式下 TIM 计数方式

PWM 输出模式下只能选择向上计数：从 0 开始向上计数，至占空比设置项 PDT 时 PWM 输出波形切换高低电平，之后继续向上计数到设定的重载值 RLD，产生溢出并从 0 重新开始计数。

TIM 输出的 PWM 周期 T_{PWM} 计算公式如下：

$$T_{PWM} = \frac{RLD[15:0] + 1}{PCLK}$$

占空比 duty 计算公式：

$$duty = \frac{PDT[15:0]}{RLD[15:0] + 1}$$

16.4 定时器相关的信号口

- Tn/TnCAP, n=0~3
 - Tn 时钟输入/输出
 - TnCAP 上升沿/下降沿均可捕获
 - 注意：Tn 和 TnCAP 为复用功能，不可同时使用

- TnEX, n=0~3
 - 重载模式下, TnEX 引脚上的外部事件输入(下降沿)用作重载允许/禁止控制
 - 捕获模式, 当 FSEL = 1 时为下降沿捕获信号输入脚, 检测到 TnEX 引脚上一个下降沿, 产生一个捕获, EXIF 被置起, TnCNT 寄存器的值捕获到寄存器 FCAP 里
- TnPWM, n=0~3
 - Timer0~3 可通过各自的 Tn 端口提供 duty 可单独调的 PWM: TnPWMA
 - Timer0~3 可通过各自的 TnEX 端口提供 duty 可单独调的 PWM: TnPWMB
 - TnPWMA 和 TnPWMB 共周期, 时钟源随 TIM

注意: TIM 的 PWM 捕获功能与 PWM 输出功能不可同时开启

16.5 TIM 的中断及对应标志位

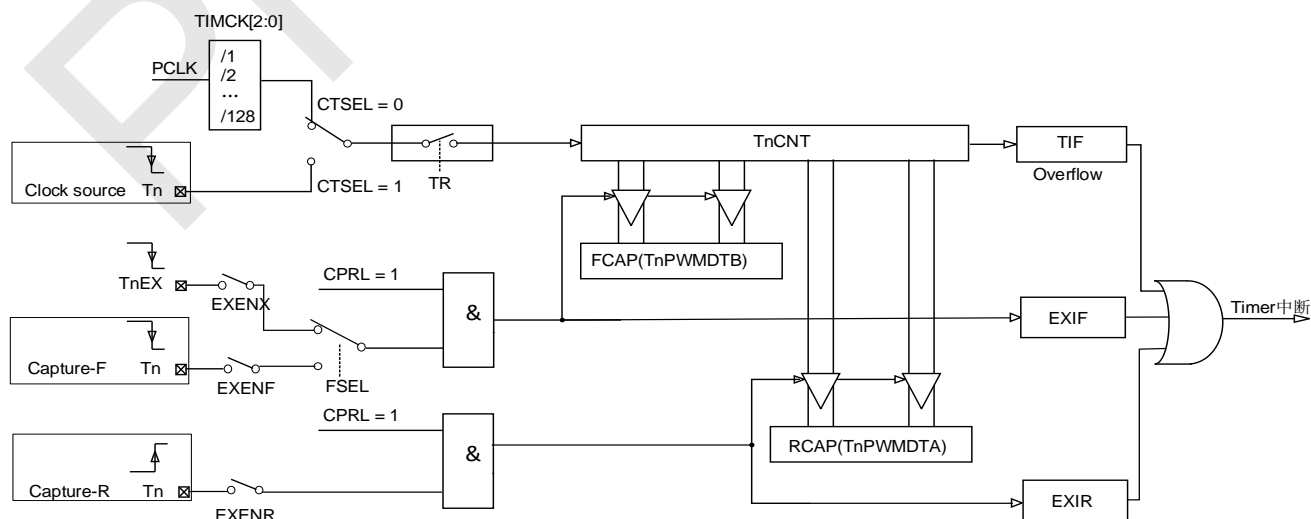
- 计数器上溢/下溢——共用中断标志位 TIF
- 捕获状态标志:
 - EXIF 外部事件输入下降沿被检测到的标志位
 - EXIR 外部事件输入上升沿被检测到的标志位
- 中断及优先级配置控制位合并至 NVIC 模块

16.6 TIM 的工作模式

- 模式 0: 16 位捕获模式, 可实现 PWM 双沿捕获
- 模式 1: 16 位自动重载定时/计数器模式
- 模式 3: 可编程时钟输出模式
- 模式 4: PWM 输出模式

16.6.1 工作模式 0: 16 位捕获模式

16.6.1.1 双沿捕获结构图



模式 0: 16 位捕获

16.6.1.2 PWM 双沿捕获模式

TnEX 为 PWM 捕获口。内部测量分个通道，分别采样上升沿和下降沿：

- 专门一个上升沿捕获计数寄存器 16 Bits——与 PWMA 占空比设定寄存器 TIMn_PDTA 复用
- 专门一个下降沿捕获计数寄存器 16 Bits——与 PWMB 占空比设定寄存器 TIMn_PDTB 复用
- 捕获标志位：
 - 单独的上/下沿捕获使能位
 - 单独的上/下捕获标志

16.6.2 工作模式 1：16 位自动重载定时器/计数器模式

在 16 位自动重载方式下，定时器可以被选为递增计数或递减计数。这个功能通过将 TIMn_CON(n=0~3)中的 DEC 置 1 后，通过 TnEX 选择计数方向。系统复位后，DEC 位复位值为 0，定时器 n 默认递增计数；当 DEC 置 1 时，定时器 n 递增计数或递减计数取决于 TnEX 引脚上的电平。

当 DEC=0，通过在 TIMn_CON 中的 EXENX 位选择两个选项：

若 EXENX = 0，当 TIMn_CNT 递增到 0xFFFF 时，定时器溢出位 TIF 置起，同时定时器自动将用户软件写好的重载寄存器 TIMn_RLD 中的 16 位值装入 TIMn_CNT 寄存器。

若 EXENX = 1，溢出或在外部输入 TnEX 上的下降沿都能触发一个 16 位重载。TnEX 上有下降沿产生时，EXIF 位置起。如果 TIE 被使能，TIF 和 EXIF 位都能产生一个中断。

当 DCEN = 1 时，TnEX 引脚控制计数的方向，而 EXENX 控制无效。

若 TnEX = 1，则 TIMn 递增计数。当 TIMn_CNT 递增到 0xFFFF 时，定时器溢出位 TIF 置起，同时定时器自动将用户软件写好的重载寄存器 TIMn_RLD 中的 16 位值装入 TIMn_CNT 寄存器。

若 TnEX = 0，则 TIMn 递减计数。当 TIMn_CNT 的值从 0xFFFF 递减至等于 TIMn_RLD 的值时，定时器溢出，且定时器溢出位 TIF 置起，同时 0xFFFF 重载入 TIMn_CNT。

在此工作方式下，无论 TIMn 溢出与否，EXFIF 不作为中断标志。

16.6.3 工作模式 3：可编程时钟输出模式

在这种方式中，TIMn(n=0~3)可以编程为输出 50%占空比时钟周期：当 CTSEL=0，TnOE=1 时，使能 TIMn 作为时钟发生器。

在这种方式下 Tn 输出的时钟频率为：

$$f_{OUT} = \frac{f_{TIM}}{(65536 - TIMn_{RLD}) * 4}$$

16.6.4 工作模式 4：PWM 输出模式

- PWM 占空比变化特性

更改 PDTx[15:0]的值，占空比不会立即改变，而是等待本周期结束，在下个周期改变。

- PWM 周期变化特性

通过改变周期设置寄存器[RCAPXL / RCAPXH]的值实现。定义当前周期计数值为 T_n ，写入周期寄存器时，定时器计到的值为 T_m ，待更新的周期计数值为 T_x ，则：

- $T_m \leq T_x$ ：周期按照 T_x 实时改变；
- $T_m > T_x$ ：此时周期变化会分为两个阶段。第一个阶段，写入周期寄存器之后，周期计数器会从当前计数值累加至溢出清零。第二个阶段，周期按照 T_x 改变。

16.7 TIM 中断

定时或计数模式下，CNT 计数达到 TIMn 计数值，TIF 将置起，如果 TIMn_IDE.INTEN=1，将产生中断。

外部事件输入模式下，检测到有效跳变沿，EXIR/EXIF 将置起，如果 TIMn_IDE.INTEN=1，将产生中断。

中断事件	事件标志位	中断使能总控制位	模块中断使能子控制位
定时器溢出	TIF	TIMn_IDE->INTEN (n=0~3)	TIMn_IDE->TIE
外部事件输入上升沿中断	EXIR		TIMn_IDE->EXRIE
外部事件输入下降沿中断	EXIF		TIMn_IDE->EXFIE

16.8 TIM 寄存器

16.8.1 TIM 相关寄存器表

16.8.1.1 定时器控制寄存器 TIMn_CON

寄存器	读/写	说明	复位值	上电初始值
TIMn_CON (n=0~3)	读/写	定时器控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	SPOS[1:0]		-	-	-	-	-
15	14	13	12	11	10	9	8
TXOE	EPWMNA	EPWMNB	INVNA	INVNB	TIMCK[2:0]		
7	6	5	4	3	2	1	0
TR	DEC	EXENX	FSEL	EXENF	EXENR	CTSEL	CPRL

位编号	位符号	说明		
22~21	SPOS[1:0]	● TIM0 信号口映射控制位 @TIM0_CON		
		信号	T0CAP	T0EX
		SPOS 值		
		SPOS[1:0]=00	PA4	PA5
		SPOS[1:0]=01	PB0	PB1
		SPOS[1:0]=10	-	PC7

位编号	位符号	说明																																				
		<p>● TIM1 信号口映射控制位 @TIM1_CON</p> <table> <tr> <th>信号</th><th>T1CAP</th><th>T1EX</th></tr> <tr> <td>SPOS 值</td><td></td><td></td></tr> <tr> <td>SPOS[1:0]=00</td><td>PC11</td><td>PC12</td></tr> <tr> <td>SPOS[1:0]=01</td><td>PB2</td><td>PB3</td></tr> </table> <p>● TIM2 信号口映射控制位 @TIM2_CON</p> <table> <tr> <th>信号</th><th>T2CAP</th><th>T2EX</th></tr> <tr> <td>SPOS 值</td><td></td><td></td></tr> <tr> <td>SPOS[1:0]=00</td><td>PC14</td><td>PC13</td></tr> <tr> <td>SPOS[1:0]=01</td><td>PB4</td><td>PB5</td></tr> </table> <p>● TIM3 信号口映射控制位 @TIM3_CON</p> <table> <tr> <th>信号</th><th>T3CAP</th><th>T3EX</th></tr> <tr> <td>SPOS 值</td><td></td><td></td></tr> <tr> <td>SPOS[1:0]=00</td><td>PC2</td><td>PC1</td></tr> <tr> <td>SPOS[1:0]=01</td><td>PB6</td><td>PB7</td></tr> </table>	信号	T1CAP	T1EX	SPOS 值			SPOS[1:0]=00	PC11	PC12	SPOS[1:0]=01	PB2	PB3	信号	T2CAP	T2EX	SPOS 值			SPOS[1:0]=00	PC14	PC13	SPOS[1:0]=01	PB4	PB5	信号	T3CAP	T3EX	SPOS 值			SPOS[1:0]=00	PC2	PC1	SPOS[1:0]=01	PB6	PB7
信号	T1CAP	T1EX																																				
SPOS 值																																						
SPOS[1:0]=00	PC11	PC12																																				
SPOS[1:0]=01	PB2	PB3																																				
信号	T2CAP	T2EX																																				
SPOS 值																																						
SPOS[1:0]=00	PC14	PC13																																				
SPOS[1:0]=01	PB4	PB5																																				
信号	T3CAP	T3EX																																				
SPOS 值																																						
SPOS[1:0]=00	PC2	PC1																																				
SPOS[1:0]=01	PB6	PB7																																				
15	TXOE	Tn 引脚信号方向控制位 0: Tn 作为时钟输入口或 I/O 端口 1: Tn 用于可编程时钟输出																																				
14	EPWMNA	Tn_PWMA 所在管脚 PWM 波形输出使能位 0: 关闭 1: 使能																																				
13	EPWMNB	TnEX_PWMB 所在管脚 PWM 波形输出使能位 0: 关闭 1: 使能																																				
12	INVNA	TPWMnA 波形输出反向控制位 0: 正常 1: 波形输出反向																																				
11	INVNB	TPWMnB 波形输出反向控制位 0: 正常 1: 波形输出反向																																				
10~8	TIMCK[2:0]	<p>TIM 时钟频率档位控制位 用于设定 TIM 时钟频率 f_{TIM} 为:</p> <p>000: $f_{SOURCE}/1$ 001: $f_{SOURCE}/2$ 010: $f_{SOURCE}/4$ 011: $f_{SOURCE}/8$ 100: $f_{SOURCE}/16$ 101: $f_{SOURCE}/32$ 110: $f_{SOURCE}/64$ 111: $f_{SOURCE}/128$</p> <p>f_{SOURCE} 对应的时钟可为 PCLK 或 Tn 输入</p>																																				
7	TR	TIMn 开始/停止控制位, n=0~3 0: 停止 TIMn / TPWMn 计数器 1: 开始 TIMn / TPWMn 计数器																																				
6	DEC	递增/递减方向控制位 0: TIMn 为递增的定时/计数器 1: TIMn 作为递增/递减的定时/计数器, TnEX 用来选择计数方向																																				
5	EXENX	TnEX 设置位, n=0~3 该位在不同模式下作用不同:																																				

位编号	位符号	说明
		<ul style="list-style-type: none"> ● 重载模式：（CPRL = 0） 该位用于控制 TnEX 引脚上的外部事件输入(下降沿)，用作重载允许/禁止控制： 0：忽略 TnEX 引脚上的事件 1：检测到 TnEX 引脚上一个下降沿，产生一个重载 ● 捕获模式：（CPRL = 1） 该位用作 TnEX 下降沿信号捕获选通位： 0：忽略 TnEX 引脚上的事件 1：当 FSEL = 1，检测到 TnEX 引脚上一个下降沿，产生一个捕获，EXIF 被置起，TnCNT 寄存器的值捕获到寄存器 FCAP 里
4	FSEL	下降沿信号选择位 该位仅在捕获模式（CPRL=1）下有效 0：检测到 Tn 引脚上一个下降沿，产生一个捕获。忽略 TnEX 引脚上的事件 1：检测到 TnEX 引脚上一个下降沿，产生一个捕获。忽略 Tn 引脚上的事件
3	EXENF	下降沿信号捕获使能位： 0：忽略 Tn 引脚上的事件 1：检测到 Tn 引脚上一个下降沿，产生一个捕获，EXIF 被置起，TnCNT 寄存器的值捕获到寄存器 FCAP 里
2	EXENR	Tn 引脚上的上升沿信号捕获使能位 0：忽略 Tn 引脚上的事件 1：检测到 Tn 引脚上一个上升沿，产生一个捕获，EXIR 被置起，TnCNT 寄存器的值捕获到寄存器 RCAP 里
1	CTSEL	定时器/计数器选定位 0：定时器方式 1：计数器方式
0	CPRL	捕获/重载方式设置位 0：重载功能 1：捕获功能
31~23 20~16	-	保留

16.8.1.2 定时器计数值寄存器 TIMn_CNT

寄存器	读/写	说明	复位值	上电初始值
TIMn_CNT (n=0~3)	读/写	定时器计数值寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
CNT[15:8]							
7	6	5	4	3	2	1	0
CNT[7:0]							

位编号	位符号	说明
15~0	CNT[15:0]	TIMn 计数值
31~16	-	保留

16.8.1.3 定时器重载寄存器 TIMn_RLD

寄存器	读/写	说明	复位值	上电初始值
TIMn_RLD (n=0~3)	读/写	定时器重载寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
RLD [15:8]							
7	6	5	4	3	2	1	0
RLD [7:0]							

位编号	位符号	说明
15~0	RLD[15:0]	定时器溢出或在外部输入 TnEX 上的下降沿都能触发一个 16 位重载。产生重载时，定时器自动将用户软件写好的 RLD[15:0]值装入 TnCNT 寄存器。
31~16	-	保留

16.8.1.4 定时器标志位寄存器 TIMn_STS

寄存器	读/写	说明	复位值	上电初始值
TIMn_STS (n=0~3)	读/写	定时器标志制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	EXIF	EXIR	TIF

位编号	位符号	说明
2	EXIF	外部事件输入下降沿被检测到的标志位 该位由硬件置 1，通过软件写 1 清 0。 0：无外部事件输入

位编号	位符号	说明
		1: 检测到外部输入(如果 EXENF = 1, 由硬件设 1) 注意: 捕获模式下, 该位软件清 0 之前不允许更新 TnFCAP 值
1	EXIR	Tn 引脚外部事件输入上升沿被检测到的标志位 该位由硬件置 1, 通过软件写 1 清 0。 0: 无外部事件输入 1: 检测到外部输入(如果 EXENR = 1, 由硬件设 1) 注意: 捕获模式下, 该位软件清 0 之前不允许更新 TnRCAP 值
0	TIF	定时器溢出标志位该位由硬件置 1, 通过软件写 1 清 0。 0: 无溢出(必须由软件清 0) 1: 溢出(如果 RCLK = 0 和 TCLK = 0, 由硬件设 1)
31~3	-	保留

16.8.1.5 TnPWMA 占空比设定寄存器 TIMn_PDTA (@CPRL = 0)

寄存器	读/写	说明	复位值	上电初始值
TIMn_PDTA (n=0~3)	读/写	TnPWMA 占空比设定寄存器 TIMn_PDTA (@CPRL = 0)	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
PDT[15:8]							
7	6	5	4	3	2	1	0
PDT[7:0]							

位编号	位符号	说明
15~0	PDT[15:0]	TPWMnA 占空比寄存器, n=0~3 TPWMnA 的波形的高电平宽度是 PDT[15:0]个 TIM 时钟
31~16	-	保留

16.8.1.6 TnPWMB 占空比设定寄存器 TIMn_PDTB (@CPRL = 0)

寄存器	读/写	说明	复位值	上电初始值
TIMn_PDTB (n=0~3)	读/写	TnPWMB 占空比设定寄存器 TIMn_PDTB (@CPRL = 0)	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-

15	14	13	12	11	10	9	8
PDT[15:8]							
7	6	5	4	3	2	1	0
PDT[7:0]							

位编号	位符号	说明
15~0	PDT[15:0]	TPWMnB 占空比寄存器, n=0~3 TPWMnB 的波形的高电平宽度是 PDT[15:0]个 TIM 时钟
31~16	-	保留

16.8.1.7 上升沿数据捕获寄存器 TIMn_RCAP (@CPRL = 1)

寄存器	读/写	说明	复位值	上电初始值
TIMn_RCAP (n=0~3)	读/写	上升沿数据捕获寄存器 TIMn_RCAP (@CPRL = 1)	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
RCAP[15:8]							
7	6	5	4	3	2	1	0
RCAP[7:0]							

位编号	位符号	说明
15~0	RCAP [15:0]	TIMn 的 PWM 捕获模式下, 当上升沿捕获条件发生, CNT 计数器值将被保存到该寄存器。
31~16	-	保留

16.8.1.8 下降沿数据捕获寄存器 TIMn_FCAP (@CPRL = 1)

寄存器	读/写	说明	复位值	上电初始值
TIMn_FCAP (n=0~3)	读/写	下降沿数据捕获寄存器 TIMn_FCAP (@CPRL = 1)	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
FCAP[15:8]							
7	6	5	4	3	2	1	0
FCAP[7:0]							

位编号	位符号	说明
15~0	FCAP[15:0]	TIMn 的 PWM 捕获模式下，当下降沿捕获条件发生，CNT 计数器值将被保存到该寄存器。
31~16	-	保留

16.8.1.9 TIMn 的中断使能及 DMA 控制寄存器 TIMn_IDE

寄存器	读/写	说明	复位值	上电初始值
TIMn_IDE n=0~3	读/写	TIMn 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	CAPFDE	CAPRDE	TIDE	EXFIE	EXRIE	TIE	INTEN

位编号	位符号	说明
6	CAPFDE	下降沿捕获事件触发 DMA 请求使能位 0: 下降沿捕获事件禁止产生 DMA 请求 1: 产生新的下降沿捕获时，触发 DMA 请求
5	CAPRDE	上升沿捕获事件触发 DMA 请求使能位 0: 上升沿捕获事件禁止产生 DMA 请求 1: 产生新的上升沿捕获时，触发 DMA 请求
4	TIDE	定时器溢出事件触发 DMA 请求使能位 0: 定时器溢出禁止产生 DMA 请求 1: 定时器溢出允许产生 DMA 请求
3	EXFIE	外部事件输入下降沿中断开关 0: 禁止下降沿中断 1: 使能下降沿中断
2	EXRIE	外部事件输入上升沿中断开关 0: 禁止上升沿中断 1: 使能上升沿中断
1	TIE	定时器溢出中断开关 0: 禁止溢出中断 1: 使能溢出中断
0	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
31~7	-	保留

16.8.2 TIM 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
TIM0 基地址: 0x4002_0100					
TIM0_CON	0x00	读/写	定时器控制寄存器	0x0000_0000	0x0000_0000
TIM0_CNT	0x04	读/写	定时器计数值寄存器	0x0000_0000	0x0000_0000
TIM0_RLD	0x08	读/写	定时器重载寄存器	0x0000_0000	0x0000_0000
TIM0_STS	0x0C	读/写	定时器标志位寄存器	0x0000_0000	0x0000_0000
TIM0_PDTA	0x10	读/写	TnPWMA 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM0_RCAP	0x10	读/写	上升沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM0_PDTB	0x14	读/写	TnPWMB 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM0_FCAP	0x14	读/写	下降沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM0_IDE	0x18	读/写	TIMn 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000
TIM1 基地址: 0x4002_0140					
TIM1_CON	0x00	读/写	定时器控制寄存器	0x0000_0000	0x0000_0000
TIM1_CNT	0x04	读/写	定时器计数值寄存器	0x0000_0000	0x0000_0000
TIM1_RLD	0x08	读/写	定时器重载寄存器	0x0000_0000	0x0000_0000
TIM1_STS	0x0C	读/写	定时标志位寄存器	0x0000_0000	0x0000_0000
TIM1_PDTA	0x10	读/写	TnPWMA 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM1_RCAP	0x10	读/写	上升沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM1_PDTB	0x14	读/写	TnPWMB 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM1_FCAP	0x14	读/写	下降沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM1_IDE	0x18	读/写	TIMn 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000
TIM2 基地址: 0x4002_1100					
TIM2_CON	0x00	读/写	定时器控制寄存器	0x0000_0000	0x0000_0000
TIM2_CNT	0x04	读/写	定时器计数值寄存器	0x0000_0000	0x0000_0000
TIM2_RLD	0x08	读/写	定时器重载寄存器	0x0000_0000	0x0000_0000
TIM2_STS	0x0C	读/写	定时标志位寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
TIM2_PDTA	0x10	读/写	TnPWMA 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM2_RCAP	0x10	读/写	上升沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM2_PDTB	0x14	读/写	TnPWMB 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM2_FCAP	0x14	读/写	下降沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM2_IDE	0x18	读/写	TIMn 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000
TIM3 基地址: 0x4002_1140					
TIM3_CON	0x00	读/写	定时器控制寄存器	0x0000_0000	0x0000_0000
TIM3_CNT	0x04	读/写	定时器计数值寄存器	0x0000_0000	0x0000_0000
TIM3_RLD	0x08	读/写	定时器重载寄存器	0x0000_0000	0x0000_0000
TIM3_STS	0x0C	读/写	定时标志位寄存器	0x0000_0000	0x0000_0000
TIM3_PDTA	0x10	读/写	TnPWMA 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM3_RCAP	0x10	读/写	上升沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM3_PDTB	0x14	读/写	TnPWMB 占空比设定寄存器 (@CPRL = 0)	0x0000_0000	0x0000_0000
TIM3_FCAP	0x14	读/写	下降沿数据捕获寄存器 (@CPRL = 1)	0x0000_0000	0x0000_0000
TIM3_IDE	0x18	读/写	TIMn 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

17 省电模式

初始上电默认运行在常规模式，即 Normal Mode，额外提供三种省电模式：

- 低速模式：系统时钟源可选择 LIRC，CPU 可工作在 32kHz
- IDLE Mode，可由任何中断唤醒
- STOP Mode，可由 INT0~8，10~15、Base Timer 和 CMP 唤醒

18 GPIO

18.1 时钟源

M0+内核可通过 IOPORT 总线实现单周期访问 GPIO，数据传输效率极高。IOPORT 总线的时钟来自 HCLK。

18.2 特性

SC32M13X&SCDx13X 系列 GPIO 端口特性如下：

- 最大 29 个双向可独立控制的 GPIO
- CPU 可在单周期内通过 IOPORT 总线访问 GPIO 端口
- 可独立设定上拉电阻
- 所有口源驱动能力分四级控制
- 全部 I/O 具有大灌电流驱动能力（50mA）
- 16 个 I/O 一组
- I/O 端口在输入或输出状态下，从端口数据寄存器里读到的都是端口的实际状态值

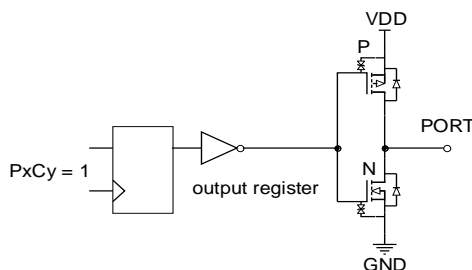
注意：未使用及封装未引出的端口均要设置为强推挽输出模式。

18.3 GPIO 结构图

18.3.1 强推挽输出模式

强推挽输出模式下，能够提供持续的大电流驱动：相关电气参数详见规格书 SC32M13X_Datasheet、SCDX13X_Datasheet 的《GPIO 参数》章节

强推挽输出模式的端口结构示意图如下：

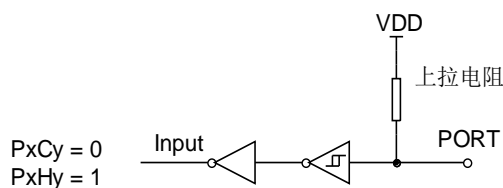


强推挽输出模式

18.3.2 带上拉的输入模式

带上拉的输入模式下，输入口上恒定接一个上拉电阻，仅当输入口上电平被拉低时，才会检测到低电平信号。

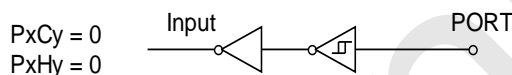
带上拉的输入模式的端口结构示意图如下：



带上拉的输入模式

18.3.3 高阻输入模式(Input only)

高阻输入模式的端口结构示意图如下所示：



高阻输入模式

18.4 GPIO 寄存器

18.4.1 GPIO 相关寄存器表

18.4.1.1 PX 端口数据寄存器 PX

寄存器	读/写	说明	复位值	上电初始值
PX X=A,B,C	读/写	PX 端口数据寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
PD15	PD14	PD13	PD12	PD11	-	-	PD8
7	6	5	4	3	2	1	0
PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0

位编号	位符号	说明
15~11 8~0	PDn (n=0~8, 10~15)	PXn 端口数据寄存器, X=A,B,C, n=0~8, 10~15 端口锁存寄存器数据, 从端口数据寄存器里读到的都是端口的实际状态值。
31~16 10~9	-	保留

18.4.1.2 PX 端口数据寄存器 PXn_BIT

寄存器	读/写	说明	复位值	上电初始值
PXn_BIT X=A,B,C n=0~8, 10~15	读/写	PX 端口数据寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	BSRn

位编号	位符号	说明
0	BSRn	PXn 端口位赋值控制, n=0~8, 10~15 用于对 PXn 端口单独赋值
31~1	-	保留

18.4.1.3 PX 端口数据寄存器 PXn_XR

寄存器	读/写	说明	复位值	上电初始值
PXn_XR X=A,B,C n=0~8, 10~15	读/写	对 PXn 翻转	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	XRn

位编号	位符号	说明
0	XRn	PXn 端口位翻转控制, n=0~8, 10~15 0: 无效 1: 对 PXn 输出进行翻转
31~1	-	保留

18.4.1.4 PX 端口输入/输出控制寄存器 PXCON

寄存器	读/写	说明	复位值	上电初始值
PXCON X=A,B,C	读/写	PX 端口输入/输出控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
MODE15	MODE14	MODE13	MODE12	MODE11	-	-	MODE8
7	6	5	4	3	2	1	0
MODE7	MODE6	MODE5	MODE4	MODE3	MODE2	MODE1	MODE0

位编号	位符号	说明
15~11 8~0	MODEn (n=0~8, 10~15)	PXn 端口强推挽模式使能位, n=0~8, 10~15 0: PXn 为输入模式 (上电初始值) 1: PXn 为强推挽输出模式
31~16 10~9	-	保留

18.4.1.5 PX 端口上拉电阻控制寄存器 PXPB

寄存器	读/写	说明	复位值	上电初始值
PXPB X=A,B,C	读/写	PX 端口上拉电阻控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
PUPD15	PUPD14	PUPD13	PUPD12	PUPD11	-	-	PUPD8
7	6	5	4	3	2	1	0
PUPD7	PUPD6	PUPD5	PUPD4	PUPD3	PUPD2	PUPD1	PUPD0

位编号	位符号	说明
15~11 8~0	PUPDn (n=0~8, 10~15)	PXn 端口上拉电阻使能位, n=0~8, 10~15 0: PXn 为高阻输入模式 (上电初始值), 上拉电阻关闭; 1: PXn 上拉电阻打开
31~16 10~9	-	保留

18.4.1.6 GPIO 驱动等级寄存器 PXLEV

寄存器	读/写	说明	复位值	上电初始值
PXLEV X=A,B,C	读/写	GPIO 驱动等级寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
LEV15[1:0]		LEV14[1:0]		LEV13[1:0]		LEV12[1:0]	
23	22	21	20	19	18	17	16
LEV11[1:0]		-		-		LEV8[1:0]	
15	14	13	12	11	10	9	8
LEV7[1:0]		LEV6[1:0]		LEV5[1:0]		LEV4[1:0]	
7	6	5	4	3	2	1	0
LEV3[1:0]		LEV2[1:0]		LEV1[1:0]		LEV0[1:0]	

位编号	位符号	说明
31~22 17~0	LEVn[1:0] (n=0~8, 10~15)	PXn 端口等级控制位, n=0~8, 10~15 用于设置 PXn 端口的 I _{OH} 等级: 00: 等级 0 (最大); 01: 等级 1; 10: 等级 2; 11: 等级 3 (最小);
21~18	-	保留

18.4.2 GPIO 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
PA 基地址: 0x4001_1000					
PA	0x00	读/写	PA 端口数据寄存器	0x0000_0000	0x0000_0000
PACON	0x20	读/写	PA 口输入/输出控制寄存器	0x0000_0000	0x0000_0000
PAPH	0x40	读/写	PA 口上拉电阻控制寄存器	0x0000_0000	0x0000_0000
PALEV	0x60	读/写	IOH 设置寄存器 IO 驱动等级	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
PB 基地址: 0x4001_1100					
PB	0x00	读/写	PB 端口数据寄存器	0x0000_0000	0x0000_0000
PBCON	0x20	读/写	PB 口输入/输出控制寄存器	0x0000_0000	0x0000_0000
PBPH	0x40	读/写	PB 口上拉电阻控制寄存器	0x0000_0000	0x0000_0000
PBLEV	0x60	读/写	IOH 设置寄存器 IO 驱动等级	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
PC 基地址: 0x4001_1200					
PC	0x00	读/写	PC 端口数据寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
PCCON	0x20	读/写	PC 口输入/输出控制寄存器	0x0000_0000	0x0000_0000
PCPH	0x40	读/写	PC 口上拉电阻控制寄存器	0x0000_0000	0x0000_0000
PCLEV	0x60	读/写	IOH 设置寄存器 IO 驱动等级	0x0000_0000	0x0000_0000

19 UART0~1

19.1 时钟源

- SC32M13X&SCDx13X 系列 UART 的时钟源仅一种，来自 PCLK

19.2 特性

- 2 个 UART: UART0~1
- 每个 UART 有三种通讯模式可选：
 - 模式 0，8 位半双工同步通信模式，在 RXD 引脚上收发串行数据。TXD 引脚用作发送移位时钟。每帧收发 8 位，低位先接收或发送；
 - 模式 1，10 位全双工异步通信，由 1 个起始位，8 个数据位和 1 个停止位组成，通信波特率可变；
 - 模式 3，11 位全双工异步通信，由 1 个起始位，8 个数据位，一个可编程的第 9 位和 1 个停止位组成，通信波特率可变。
- 发送和接收完成可产生中断并置起对应的标志位 TXIF 和 RXIF，中断标志需要软件清除
- UART0 和 UART1 可产生 DMA 请求
- UART0/1 均支持信号口映射，均可映射到另外一组 IO
- 独立波特率发生器
- UART0/1 支持从 STOP Mode 唤醒：
 - START 位下降沿可唤醒 STOP Mode
 - 提供对应的唤醒中断使能位 WKIE 及唤醒中断标志位 WKIF

注意：UART0 的信号引脚支持两种映射方案：

- 映射 1: RXD0 / TXD0
- 映射 2: RXD0A / TXD0A

当选择映射 1（RXD0/TXD0）时，该组引脚与系统烧录/调试接口（T_CLK / T_DIO）复用。在此映射下，若启用全双工通信，T_CLK / T_DIO 可能会与 UART0 的 RXD0 接收时序产生冲突，导致通信异常。因此，选择映射 1 时必须将 UART0 配置为半双工通信模式，以避免此硬件冲突并保证通信稳定性。

如需使用全双工 UART 通信，请将管脚映射至映射 2（RXD0A/TXD0A）。

19.3 UART 中断

对于 UARTn，n=0~1，在发生“唤醒”或“数据收发完成”时都会生成中断。可以使用单独的中断使能位以提高灵活性。

中断事件	中断请求控制位	事件标志位	中断使能子开关
UART 从 STOP Mode 唤醒	UARTn_IDE ->INTEN	WKIF	WKIE

中断事件	中断请求控制位	事件标志位	中断使能子开关
数据发送完成		TXIF	TXIE
数据接收完成		RXIF	RXIE

19.4 UART0/1 寄存器

19.4.1 UART0/1 相关寄存器表

19.4.1.1 UART 控制寄存器 UARTn_CON

寄存器	读/写	说明	复位值	上电初始值
UARTn_CON (n=0/1)	读/写	UART 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	SPOS	-	-	-	-	-
7	6	5	4	3	2	1	0
TXEN	RXEN	-	PRESCALER	-	SM2	SM1	SM0

位编号	位符号	说明																		
13	SPOS	<p>● UART0 信号口映射控制位 @UART0_CON</p> <table border="1"> <tr> <th>信号 SPOS 值</th><th>RXD0</th><th>TXD0</th></tr> <tr> <td>SPOS=0</td><td>PC7</td><td>T_DIO 所在端口</td></tr> <tr> <td>SPOS=1</td><td>PB6</td><td>PB5</td></tr> </table> <p>● UART1 信号口映射控制位 @UART1_CON</p> <table border="1"> <tr> <th>信号 SPOS 值</th><th>RXD1</th><th>TXD1</th></tr> <tr> <td>SPOS=0</td><td>PC1</td><td>PC2</td></tr> <tr> <td>SPOS=1</td><td>PB3</td><td>PB4</td></tr> </table>	信号 SPOS 值	RXD0	TXD0	SPOS=0	PC7	T_DIO 所在端口	SPOS=1	PB6	PB5	信号 SPOS 值	RXD1	TXD1	SPOS=0	PC1	PC2	SPOS=1	PB3	PB4
信号 SPOS 值	RXD0	TXD0																		
SPOS=0	PC7	T_DIO 所在端口																		
SPOS=1	PB6	PB5																		
信号 SPOS 值	RXD1	TXD1																		
SPOS=0	PC1	PC2																		
SPOS=1	PB3	PB4																		
7	TXEN	<p>UART 发送控制位</p> <p>0: TXD 信号不再影响所在管脚的状态。此时若用户程序限制发送功能, 仅用到了接收, 那么与 TXD 脚复用的其它功能将不受影响; 但此状态下向发送缓存中写值依然能触发 UART 发送, 发送时 TXD 脚切换为 TXD 信号口, 发送完毕后 TXD 脚切换回默认复用状态。</p> <p>1: 允许发送数据, TXD 所在管脚切换为 TXD 信号口模式</p>																		
6	RXEN	<p>UART 接收控制位</p> <p>0: 不允许接收数据</p> <p>1: 允许接收数据</p>																		
4	PRESCALER	<p>波特率倍率设置位</p> <p>该位在 UART 的不同模式下有不同定义:</p> <ul style="list-style-type: none"> ● 当 SM0~1 = 01 (UART 模式 1) 或 SM0~1 = 11 (UART 模式 3): <ul style="list-style-type: none"> ■ 0: 串行端口在系统时钟的 1 分频下运行 ■ 1: 串行端口在系统时钟的 16 分频下运行 ● 当 SM0~1 = 00 (UART 模式 0) 波特率倍率设置位: <ul style="list-style-type: none"> ■ 0: 串行端口在系统时钟的 12 分频下运行 ■ 1: 串行端口在系统时钟的 4 分频下运行 																		
2	SM2	<p>RB8 置位中断允许位</p> <p>该位仅在模式 3 有效</p> <p>0: 每收到一个完整的数据帧就置位 RI 产生中断请求;</p> <p>1: 收到一个完整的数据帧时, 只有当 RB8=1 时才会置位 RI 产生中断请求</p>																		
1~0	SM[1:0]	<p>UART 通信模式控制位</p> <p>00: 模式 0, 8 位半双工同步通信模式, 在 RXD 引脚上收发串行数据。TXD 引脚用作发送移位时钟。每帧收发 8 位, 低位先接收或发送。在该模式下使能 RXEN 位, UART 将发出一个完整一帧的时钟, 并且将 RXIF 置 1;</p> <p>01: 模式 1, 10 位全双工异步通信, 由 1 个起始位, 8 个数据位和 1 个停止位组成, 通信波特率可变;</p> <p>10: 保留</p> <p>11: 模式 3, 11 位全双工异步通信, 由 1 个起始位, 8 个数据位, 一个可编程的第 9 位和 1 个停止位组成, 通信波特率可变</p>																		
31~14 12~8 5 3	-	保留																		

19.4.1.2 UART 标志状态位寄存器 UARTn_STE

寄存器	读/写	说明	复位值	上电初始值
UARTn_STE (n=0/1)	读/写	UART 标志状态位寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	WKIF	-	-	TXIF	RXIF

位编号	位符号	说明
4	WKIF	UART 唤醒标志位 UART 从 STOP Mode 唤醒后, 该位由硬件置 1, 如果此时 WKIE = 1, 将产生中断。 该位由软件写 1 清 0。
1	TXIF	发送中断标志位 数据发送完成该位由硬件置 1, 如果此时 TXIE = 1, 将产生中断。 该位由软件写 1 清 0。 注意: 在 DMA 模式下, DMA 写入发送缓存后, 该位由 DMA 模块清 0, 此时用户无需通过软件清 0。
0	RXIF	接收中断标志位 数据接收完成该位由硬件置 1, 如果此时 RXIE = 1, 将产生中断。 该位由软件写 1 清 0。 注意: 在 DMA 模式下, DMA 读取接收缓存后, 该位由 DMA 模块清 0, 此时用户无需通过软件清 0。
31~5 3~2	-	保留

19.4.1.3 UART 波特率配置寄存器 UARTn_BAUD

寄存器	读/写	说明	复位值	上电初始值
UARTn_BAUD (n=0/1)	读/写	UART 波特率配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
BAUD[15:8]							
7	6	5	4	3	2	1	0
BAUD[7:0]							

位编号	位符号	说明
15~0	BAUD[15:0]	UART 波特率配置位 写入 BAUD[15:0]后, UART 的波特率将按照以下公式配置: $BaudRate = f_{UART} / BAUD[15:0]$ 其中 f_{UART} 为 UART 时钟源经预分频之后的最终频率, 见 PRESCALER 位说明。

位编号	位符号	说明
		注意: BAUD[15:0]必须大于 0x0010。
31~16	-	保留

19.4.1.4 UART 数据寄存器 UARTn_DATA

寄存器	读/写	说明	复位值	上电初始值
UARTn_DATA (n=0/1)	读/写	UART 数据寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	SBUF8
7	6	5	4	3	2	1	0
SBUF[7:0]							

位编号	位符号	说明
8	SBUF8	UART 的发送/接收数据的第 9 位 该位仅在模式 3 有效。
7~0	SBUF[7:0]	UART 数据缓存 读操作: 将返回接收锁存器中的内容 写操作: SBUF 的数据将送至发送移位寄存器, 并启动发送流程
31~9	-	保留

19.4.1.5 UART 的中断使能及 DMA 控制寄存器 UARTn_IDE

寄存器	读/写	说明	复位值	上电初始值
UARTn_IDE (n=0/1)	读/写	UART 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
TXDMAEN	RXDMAEN	-	WKIE	-	TXIE	RXIE	INTEN

位编号	位符号	说明
7	TXDMAEN	DMA 发送通道使能位 0: 禁用 DMA 发送功能 1: 使能 DMA 发送功能 该位使能后, TXIF 置起可触发 DMA 通道发送请求
6	RXDMAEN	DMA 接收通道使能位 0: 禁用 DMA 接收功能 1: 使能 DMA 接收功能 该位使能后, RXIF 置起可触发 DMA 通道接收请求

位编号	位符号	说明
4	WKIE	UART 唤醒中断使能位 0: WKIF 置起时, 不允许产生中断 1: WKIF 置起时, 产生中断
2	TXIE	UART 发送中断使能位 0: TXIF 置起时, 不允许产生中断 1: TXIF 置起时, 产生中断
1	RXIE	UART 接收中断使能位 0: RXIF 置起时, 不允许产生中断 1: RXIF 置起时, 产生中断
0	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
31~8 5 3	-	保留

19.4.2 UART0~1 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值	访问限制
UART0 基地址: 0x4002_0020						
UART0_CON	0x00	读/写	UART 控制寄存器	0x0000_0000	0x0000_0000	-
UART0_STS	0x04	读/写	UART 标志位寄存器	0x0000_0000	0x0000_0000	-
UART0_BAUD	0x08	读/写	UART 波特率寄存器	0x0000_0000	0x0000_0000	-
UART0_DATA	0x0C	读/写	UART 数据寄存器	0x0000_0000	0x0000_0000	不支持字节/半字访问
UART0_IDE	0x10	读/写	通信口 DMA 控制寄存器	0x0000_0000	0x0000_0000	-

寄存器	偏移地址	读/写	说明	复位值	上电初始值	访问限制
UART1 基地址: 0x4002_0080						
UART1_CON	0x00	读/写	UART 控制寄存器	0x0000_0000	0x0000_0000	-
UART1_STS	0x04	读/写	UART 标志位寄存器	0x0000_0000	0x0000_0000	-
UART1_BAUD	0x08	读/写	UART 波特率寄存器	0x0000_0000	0x0000_0000	-
UART1_DATA	0x0C	读/写	UART 数据寄存器	0x0000_0000	0x0000_0000	不支持字节/半字访问
UART1_IDE	0x10	读/写	通信口 DMA 控制寄存器	0x0000_0000	0x0000_0000	-

20 SPI0

20.1 时钟源

- SC32M13X&SCDx13X 系列的 SPI 时钟仅一种，来自 PCLK

20.2 SPI0 特性

- 支持 11 档 SPI 时钟预分频，时钟预分频允许用户设置到较低频率，最小分频档位为 $f_{PCLK}/1024$ 。
- SPI0 信号口共两组 IO 映射可选
- SPI0 信号口强驱动：
 - SPI 通信模式下相应的信号口管脚输出驱动能力增强，其它模式下跟普通 IO 特性一致。
 - 映射信号口也可以变成强驱动，以保证 SPI0 在任意端口上的一致性
 - 具有 16 位 8 级 FIFO 缓存，发送接收独立
 - SPI0 的 FIFO 功能可以实现：连续向 SPI 发送缓存（SPI0_DATA）写入 8 个或 8 个以内的 16 位发送数据，SPI 发送的时候，最先写入的数据也最先被发送。当用户写入 FIFO 的数据被发送完成，发送缓存器空标志 TXEIF 置 1；若 FIFO 的数据已满，则写入冲突标志位 WCOL 置位，用户无法向 FIFO 写入数据，直至 FIFO 内的数据被发送出去、FIFO 不满，用户才能写入数据。当 FIFO 内的数据全部发送完毕才置起中断标志 SPIF。
 - 连续从 SPI 接收缓存（SPI0_DATA）读取 8 个或 8 个以内的 16 位接收数据，最先接收到的数据也最先被读取到。
 - FIFO 数据传输一半中断及对应标志位，方便用户及时读取/写入数据：
 - ◆ 提供发送 FIFO 有效数据不满一半中断及对应标志位 TXHIF
 - ◆ 提供接收 FIFO 超一半中断及对应标志位标志 RXHIF
 - 接收缓存溢出中断及对应标志位，及时通知异常
- 支持 DMA
 - 使能 TXDMAEN，发送缓存器空标志位 TXEIF 置起后可触发 DMA 请求，DMA 写入发送缓存后，自动清除 TXEIF 标志位
 - 使能 RXDMAEN，接收缓冲区非空标志位 RXNEIF 置起后可触发 DMA 请求，DMA 读取接收缓存后，自动清除 RXEIF 标志位

20.3 信号描述

主输出从输入(MOSI):

该路信号连接主设备和一个从设备。数据通过 MOSI 从主设备串行传送到从设备，主设备输出，从设备输入。

主输入从输出(MISO):

该路信号连接从设备和主设备。数据通过 MISO 从从设备串行传送到主设备，从设备输出，主设备输入。当 SPI 配置为从设备并未被选中，从设备的 MISO 引脚处于高阻状态。

SPI 串行时钟(SCK):

SCK 信号用作控制 MOSI 和 MISO 线上输入输出数据的同步移动。每 8 时钟周期线上传送一个字节。如果从设备未被选中，SCK 信号被此从设备忽略。

20.4 工作模式

SPI 可配置为主模式或从属模式中的一种。SPI 模块的配置和初始化通过设置 SPI 控制寄存器 SPI0_CON 和 SPI 中断使能及 DMA 控制寄存器 SPI0_IDE 来完成。配置完成后，通过设置 SPI 数据寄存器 SPI0_DATA (以下简称 SPD)来完成数据传送。

在 SPI 通讯期间，数据同步地被串行的移进移出。串行时钟线(SCK)使两条串行数据线(MOSI 和 MISO)上数据的移动和采样保持同步。如果从设备没有被选中，则不能参与 SPI 总线上的活动。

当 SPI 主设备通过 MOSI 线传送数据到从设备时，从设备通过 MISO 线发送数据到主设备作为响应，这就实现了在同一时钟下数据发送和接收的同步全双工传输。发送移位寄存器和接收移位寄存器使用相同的特殊功能器地址，对 SPI 数据寄存器 SPD 进行写操作将写入发送移位寄存器，对 SPD 进行读操作将获得接收移位寄存器的数据。

有些设备的 SPI 接口会引出 SS 脚（从设备选择引脚，低有效），与 SC32M13X&SCDx13X 的 SPI 通信时，SPI 总线上其它设备的 SS 脚的连接方式需根据不同的通信模式进行连接。下表列出了 SC32M13X&SCDx13X 的 SPI 不同通信模式下，SPI 总线上其它设备 SS 脚的连接方式：

SC32M13X&SCDx13X SPI	SPI 总线上其它设备	模式	从机的 SS（从设备选择引脚）
主模式	从模式	一主一从	拉低
		一主多从	SC32M13X&SCDx13X 引出多根 I/O，分别接至从机的 SS 脚。在数据传送之前，从设备的 SS 引脚必须被置低
从模式	主模式	一主一从	拉高

20.4.1 主模式

- 模式启动：

SPI 主设备控制 SPI 总线上所有数据传送的启动。当 SPI 控制寄存器 SPI0_CON 中的 MSTR 位置 1 时，SPI 在主模式下运行，只有一个主设备可以启动传送。

- 发送：

在 SPI 主模式下，对 SPD 进行以下操作：在 8 位模式下写一个字节数据到 SPD[7:0]或在 16 位模式下将数据写到 SPD[15:0]，再将低字节写入 SPDL，数据将会写入发送移位缓冲器。如果发送移位寄存器已经存在一个数据，那么主 SPI 产生一个 WCOL 信号以表明写入太快。但是在发送移位寄存器中的数据不会受到影响，发送也不会中断。另外如果发送移位寄存器不为空，那么主设备立即按照 SCK 上的 SPI 时钟频率串行地移出发送移位寄存器中的数据到 MOSI 线上。当传送完毕，SPI 标志状态位寄存器 SPI0_STS 中的 SPIF 位被置 1。如果 SPI 中断被允许，当 SPIF 位置 1 时，也会产生一个中断。

- 接收：

当主设备通过 MOSI 线传送数据给从设备时，相对应的从设备同时也通过 MISO 线将其发送移位寄存器的内容传送给主设备的接收移位寄存器，实现全双工操作。因此，SPIF 标志位置 1 即表示传送完成也表示接收数据完毕。从设备接收的数据按照 MSB 或 LSB 优先的传送方向存入主设备的接收移位寄存器。当一个字节

的数据完全被移入接收寄存器时，处理器可以通过读 SPD 获得该数据。

20.4.2 从模式

- 模式启动：

当 SPI 控制寄存器 SPI0_CON 中的 MSTR 位清 0，SPI 在从模式下运行。

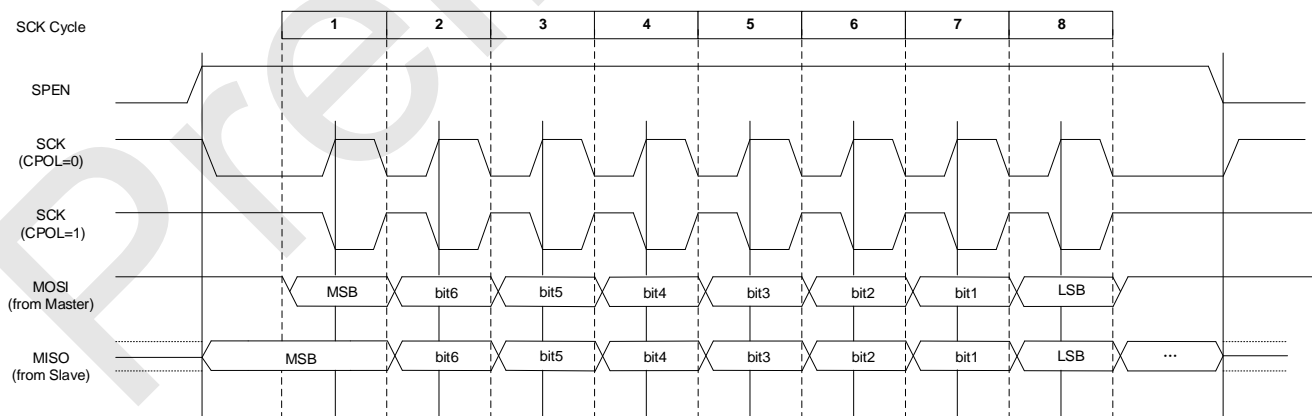
- 发送与接收：

从属模式下，按照主设备控制的 SCK 信号，数据通过 MOSI 引脚移入，MISO 引脚移出。一个位计数器记录 SCK 的边沿数，当接收移位寄存器移入 8 位数据(一个字节)同时发送移位寄存器移出 8 位数据(一个字节)，SPIF 标志位被置 1。数据可以通过读取 SPD 寄存器获得。如果 SPI 中断被允许，当 SPIF 置 1 时，也会产生一个中断。此时接收移位寄存器保持原有数据并且 SPIF 位置 1，这样 SPI 从设备将不会接收任何数据直到 SPIF 清 0。SPI 从设备必须在主设备开始一次新的数据传送之前将要传送的数据写入发送移位寄存器。如果在开始发送之前未写入数据，从设备将传送“0x00”字节给主设备。如果写 SPD 操作发生在传送过程中，那么 SPI 从设备的 WCOL 标志位置 1，即如果传送移位寄存器已经含有数据，SPI 从设备的 WCOL 位置 1，表示写 SPD 冲突。但是移位寄存器的数据不受影响，传送也不会被中断。

20.5 传送形式

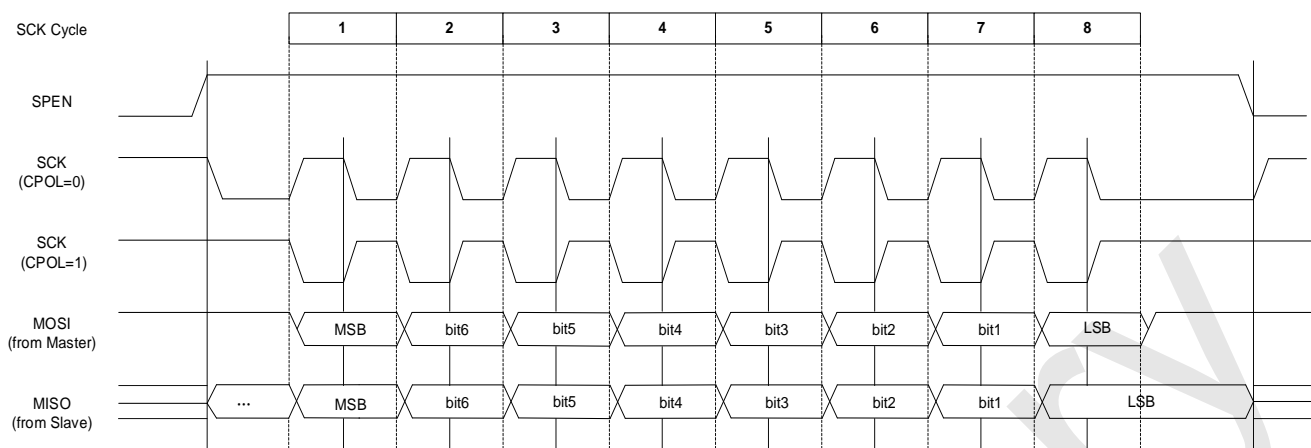
通过软件设置 SPI 控制寄存器 SPI0_CON 的 CPOL 位和 CPHA 位，用户可以选择 SPI 时钟极性和相位的四种组合方式。CPOL 位定义时钟的极性，即空闲时的电平状态，它对 SPI 传输格式影响不大。CPHA 位定义时钟的相位，即定义允许数据采样移位的时钟边沿。在主从通讯的两个设备中，时钟极性相位的设置应一致。

当 CPHA = 0，SCK 的第一个沿捕获数据，从设备必须在 SCK 的第一个沿之前将数据准备好。



CPHA = 0 数据传输图

当 CPHA = 1，主设备在 SCK 的第一个沿将数据输出到 MOSI 线上，从设备把 SCK 的第一个沿作为开始发送信号，SCK 的第二沿开始捕获数据，因此用户必须在第一个 SCK 的两个沿内完成写 SPD 的操作。这种数据传输形式是一个主设备一个从设备之间通信的首选形式。



CPHA = 1 数据传输图

20.6 出错检测

在发送数据序列期间写入 SPD 会引起写冲突，SPI 标志状态位寄存器 SPI0_STS 中的 WCOL 位置 1。WCOL 位置 1 不会引起中断，发送也不会中止。WCOL 位需由软件清 0。

20.7 SPI0 中断信息

对比 BIT 位	SPI0
信号口强驱动	有
WCOL	当发送 FIFO 写满后，对 FIFO 进行写操作将无法写入，WCOL 也会置起，代表缓存写入冲突
SPIF	该位置起，代表一帧数据接收/发送完成
QTWIF	无
RXHIE	接收 FIFO 内有效数据超过一半中断使能位
TXHIE	发送 FIFO 内有效数据不满一半中断使能位
RXIE	接收 FIFO 已满中断使能位
TBIE	发送 FIFO 为空中断使能位
RXNEIE	接收 FIFO 非空中断使能位
RXHIF	该位置起，代表接收 FIFO 内有效数据超过一半
TXHIF	该位置起，代表发送 FIFO 内有效数据不满一半
RXFIF	该位置起，代表接收 FIFO 已满
TXEIF	该位置起，代表发送 FIFO 为空
RXNEIF	接收 FIFO 非空标志位

对比 BIT 位	SPI0
DMA	通过发送缓存器空标志位 TXEIF 和接收缓冲区非空状态位 RXNEIF 触发 DMA 请求

20.8 SPI 中断

对于 SPI0，在发生“传输完成”、“FIFO 半传输”或“发送缓存为空”时都会生成中断。可以使用单独的中断使能位以提高灵活性。

中断事件	事件标志位	中断请求控制位	子事件标志位	中断使能子开关
接收 FIFO 内有效数据超过一半	SPIF	SPI0_IDE ->INTEN	RXHIF	RXHIE
发送 FIFO 内有效数据不满一半			TXHIF	TXHIE
接收 FIFO 已满			RXFIF	RXIE
发送 FIFO 为空			TXEIF	TBIE
接收 FIFO 非空			RXNEIF	RXNEIE

20.9 SPI0 寄存器

20.9.1 SPI0 相关寄存器表

20.9.1.1 SPI0 控制寄存器 SPI0_CON

寄存器	读/写	说明	复位值	上电初始值
SPI0_CON	读/写	SPI0 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	SPOS	-	SPR[3:0]			
7	6	5	4	3	2	1	0
SPEN	-	-	CPOL	CPHA	DORD	SPMD	MSTR

位编号	位符号	说明			
13	SPOS	SPI0 信号口映射控制位			
		<div>信号</div> <div>SPOS 值</div>	MISO0	MOSI0	SCK0
		SPOS=0	PC1	PC2	PC3
		SPOS=1	PB5	PB6	PB7
11~8	SPR[3:0]	SPI 时钟预分频扩展一位			
		0000: f _{PCLK0} 0001: f _{PCLK0} /2			

位编号	位符号	说明
		0010: $f_{PCLK0}/4$ 0011: $f_{PCLK0}/8$ 0100: $f_{PCLK0}/16$ 0101: $f_{PCLK0}/32$ 0110: $f_{PCLK0}/64$ 0111: $f_{PCLK0}/128$ 1000: $f_{PCLK0}/256$ 1001: $f_{PCLK0}/512$ 1010: $f_{PCLK0}/1024$ 其它: $f_{PCLK0}/1024$ 注意: 为确保 SC32M13X&SCDx13X 系列 SPI0 正确通信, 通信频率请选择 16MHz 以下
7	SPEN	SPI 使能控制位 0: 关闭 SPI0 1: 打开 SPI0
4	CPOL	SPI 时钟极性控制位 0: SCK 在空闲状态下为低电平 1: SCK 在空闲状态下为高电平
3	CPHA	SPI 时钟相位控制位 0: SCK 周期的第一沿采集数据 1: SCK 周期的第二沿采集数据
2	DORD	SPI 传送方向选择位 0: MSB 优先发送 1: LSB 优先发送
1	SPMD	SPI 传输模式选择位 0: 8 位模式 1: 16 位模式
0	MSTR	SPI 主从机模式选择位 0: SPI0 为从设备 1: SPI0 为主设备
31~16 13~12 6~5	-	保留

20.9.1.2 SPI0 标志状态位寄存器 SPI0_STS

寄存器	读/写	说明	复位值	上电初始值
SPI0_STS	读/写	SPI0 标志状态位寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0

WCOL	-	TXHIF	RXHIF	RXFIF	TXEIF	RXNEIF	SPIF
------	---	-------	-------	-------	-------	--------	------

位编号	位符号	说明
7	WCOL	写入冲突标志位 该位由硬件置 1，通过软件写 1 清 0，用于指示是否发生写入冲突： 0：未检测到写入冲突 1：检测到一个写入冲突
5	TXHIF	发送 FIFO 内有效数据不满一半状态位/中断状态位 该位只读，由硬件置起或清零，用于指示当前发送 FIFO 的状态： 0：发送 FIFO 中的有效数据个数大于 FIFO 一半 1：发送 FIFO 中的有效数据个数少于或等于 FIFO 一半，如果此时 TXHIE = 1，将产生中断
4	RXHIF	接收 FIFO 内有效数据超过一半状态位/中断状态位 该位只读，由硬件置起或清零，用于指示当前接收 FIFO 的状态： 0：接收 FIFO 的有效数据个数少于或等于 FIFO 一半 1：接收 FIFO 的有效数据个数大于 FIFO 一半，如果此时 RXHIE = 1，将产生中断
3	RXFIF	接收 FIFO 已满状态位 该位只读，由硬件置起或清零，用于指示当前接收 FIFO 是否已满： 0：接收 FIFO 未滿 1：接收 FIFO 已滿
2	TXEIF	发送 FIFO 为空标志位 用于指示当前发送 FIFO 是否为空： 0：发送 FIFO 非空 1：发送 FIFO 为空 该位由硬件置 1，通过软件写 1 清 0。 注意：在 DMA 模式下，DMA 写入发送缓存后，该位由 DMA 模块清 0，此时用户无需通过软件清 0。
1	RXNEIF	接收 FIFO 非空状态位 用于指示当前接收 FIFO 是否为空： 该位只读，由硬件置起或清零，用于指示当前接收 FIFO 的状态： 0：接收 FIFO 为空 1：接收 FIFO 非空
0	SPIF	SPI 数据传送标志位 该位由硬件置 1，通过软件写 1 清 0，用于指示当前 SPI 数据传输是否完成： 0：数据传输未完成/进行中 1：数据传输已完成
31~8 6	-	保留

20.9.1.3 SPI0 数据寄存器 SPI0_DATA

寄存器	读/写	说明	复位值	上电初始值
SPI0_DATA	读/写	SPI0 数据寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16

-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
SPD[15:8]							
7	6	5	4	3	2	1	0
SPD[7:0]							

位编号	位符号	说明
15~0	SPD[15:0]	SPI 数据缓存 读操作：从 SPI0 接收 FIFO 读取接收到的数据 写操作：向 SPI0 发送 FIFO 写入待发送的数据
31~16	-	保留

20.9.1.4 SPI0 的中断使能及 DMA 控制寄存器 SPI0_IDE

寄存器	读/写	说明	复位值	上电初始值
SPI0_IDE	读/写	SPI0 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
TXDMAEN	RXDMAEN	TXHIE	RXHIE	RXIE	TBIE	RXNEIE	INTEN

位编号	位符号	说明
7	TXDMAEN	DMA 发送通道使能位 0: 禁用 DMA 发送功能 1: 使能 DMA 发送功能 该位使能后, TXEIF 置起可触发 DMA 通道发送请求
6	RXDMAEN	DMA 接收通道使能位 0: 禁用 DMA 接收功能 1: 使能 DMA 接收功能 该位使能后, RXNEIF 置起可触发 DMA 通道接收请求
5	TXHIE	发送 FIFO 内有效数据不满一半中断使能位 0: TXHIF 置起时, 不允许产生中断 1: TXHIF 置起时, 允许产生中断
4	RXHIE	接收 FIFO 内有效数据超过一半中断使能位 0: RXHIF 置起时, 不允许产生中断 1: RXHIF 置起时, 允许产生中断
3	RXIE	接收 FIFO 已满中断使能位

位编号	位符号	说明
		0: RXFIF 置起时, 不允许产生中断 1: RXFIF 置起时, 产生中断
2	TBIE	发送 FIFO 为空时的中断使能位 0: TXEIF 置起时, 不允许产生中断 1: TXEIF 置起时, 允许产生中断
1	RXNEIE	接收 FIFO 非空中断使能位 0: RXNEIF 置起, 不允许产生中断 1: RXNEIF 置起, 产生中断
0	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
31~8	-	保留

20.9.2 SPI0 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值	访问限制
SPI0 基地址: 0x4002_0040						
SPI0_CON	0x00	读/写	SPI 控制寄存器	0x0000_0000	0x0000_0000	-
SPI0_STS	0x04	读/写	SPI 标志位寄存器	0x0000_0000	0x0000_0000	-
SPI0_DATA	0x0C	读/写	SPI 数据寄存器	0x0000_0000	0x0000_0000	不支持字节/半字访问
SPI0_IDE	0x10	读/写	通信口 DMA 控制寄存器	0x0000_0000	0x0000_0000	-

21 TWIO

21.1 时钟源

- SC32M13X&SCDx13X 系列的 TWI 的时钟源仅一种，来自 PCLK

21.2 TWIO 特性

- 支持 11 档 TWI 时钟预分频，主机模式下 TWI 通信速率，默认为最小分频档位 ($f_{PCLK}/4$)
- 信号口共三组映射可选
- 可配置为主机模式或从机模式
- 主从机之间双向数据传输
- 速率可达到 1Mbps
- 支持 DMA

21.3 TWI 信号描述

在 TWI 总线上，数据通过时钟线 SCL 和数据线 SDA 在主从机间逐一字节同步传送。每个字节数据长度是 8 位，一个 SCL 时钟脉冲传输一个数据位，数据由最高位 MSB 开始传输，每个字节传输后跟随一个应答位，每个位在 SCL 为高时采样。

因此，SDA 线可能在 SCL 为低时改变，但在 SCL 为高时必须保持稳定。当 SCL 为高时，SDA 线上的跳变视为一个命令 (START 或 STOP)。

- **TWI 时钟信号线 (SCL)**

该时钟信号由主机发出，连接到所有的从机。每 9 个时钟周期传送一个字节数据。前 8 个周期作数据的传送，最后一个时钟作为接收方应答时钟。空闲时应为高电平，由 SCL 线上的上拉电阻拉高。

- **TWI 数据信号线 (SDA)**

SDA 是双向信号线，空闲时应为高电平，由 SDA 线上的上拉电阻拉高。

21.4 从机工作模式

- 模式启动：

当 TWI 使能标志位打开 (TWIO 为 $TWEN = 1$)，同时接收到主机发送的启动信号时，模式启动。

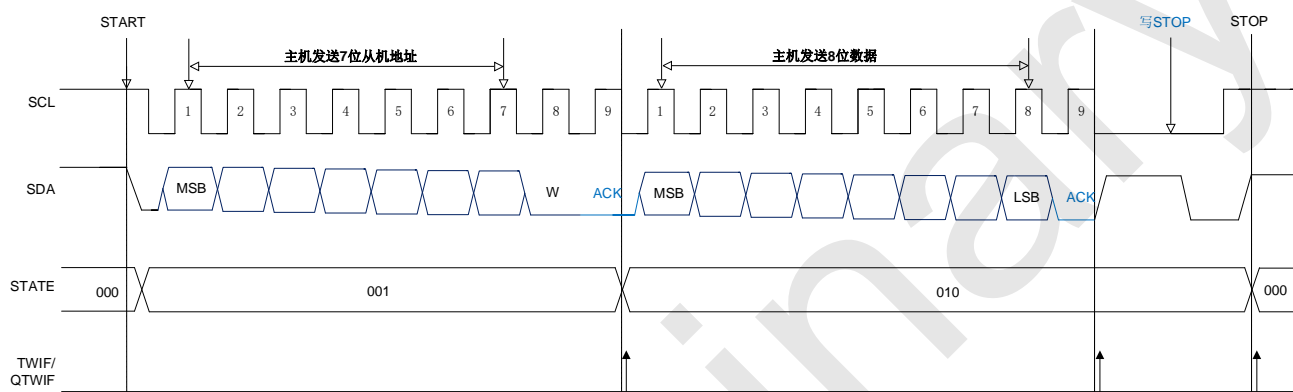
从机从空闲模式 ($STATE[2:0] = 000$) 进入接收第一帧地址 ($STATE[2:0] = 001$) 状态，等待主机的第一帧数据。第一帧数据由主机发送，包括了 7 位地址位和 1 位读写位，TWI 总线上所有从机都会收到主机的第一帧数据。主机发送完第一帧数据后释放 SDA 信号线。若主机所发地址与某一从机自身地址寄存器中的值相同，说明该从机被选中，被选中的从机会判断接总线上的第 8 位，即数据读写位 ($=1$ ，读命令； $=0$ ，写命令)，然后占用 SDA 信号线，在 SCL 的第 9 个时钟周期给主机一个低电平的应答信号，之后会释放总线。从机被选中后，会根据读写位的不同而进入不同的状态：

- 非通用地址响应，从机接收模式：

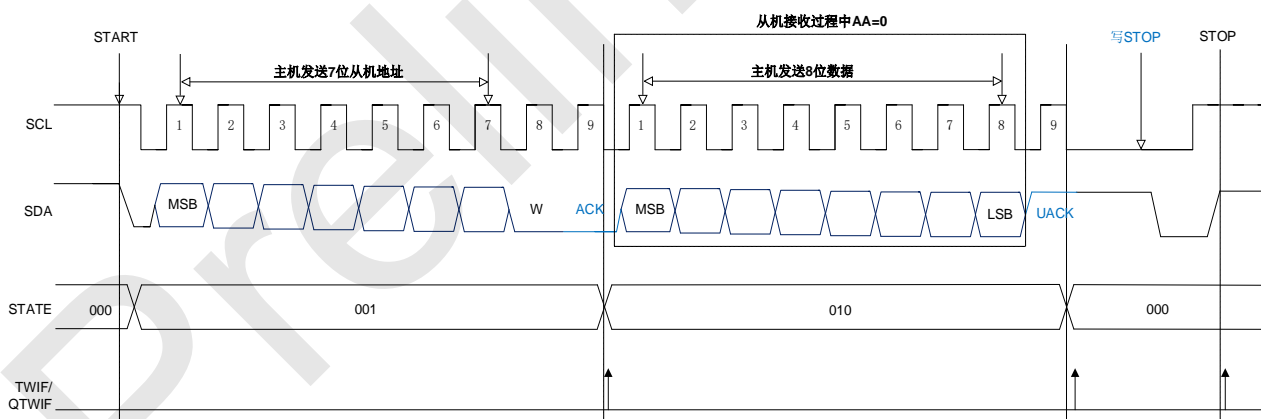
如果第一帧接收到的读写位是写（0），则从机进入到从机接收状态（ $STATE[2:0] = 010$ ）等待接收主机发送的数据。主机每发送 8 位，都要释放总线，等待第 9 个周期从机的应答信号。

如果从机的应答信号是低电平，主机的通信可以有以下几种方式：

- 继续发送数据；
- 重新发送启动信号（start），此时从机重新进入接收第一帧地址（ $STATE[2:0] = 001$ ）状态；
- 发送停止信号，表示本次传输结束，从机回到空闲状态，等待主机下一次的启动信号。



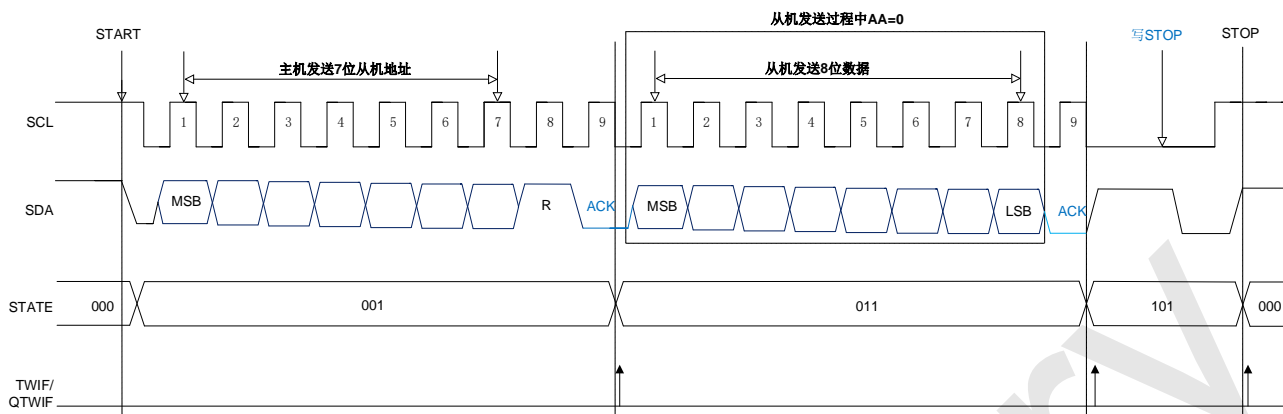
如果从机应答的是高电平（在接收过程中，从机寄存器中的 AA 值改写为 0），表示当前字节传输完以后，从机会主动结束本次传输，回到空闲状态（ $STATE[2:0] = 000$ ），不再接收主机发送的数据。



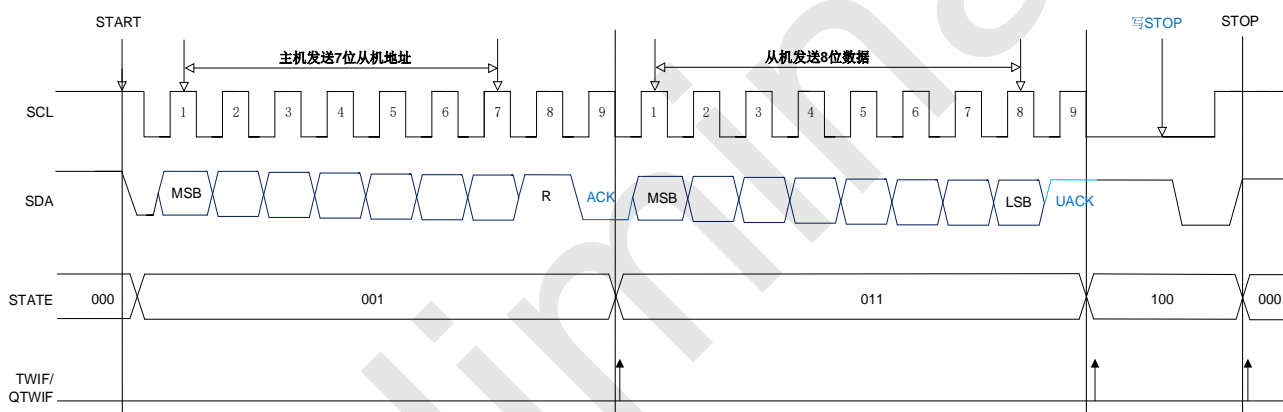
- 非通用地址响应，从机发送模式：

如果第一帧接收到的读写位是读（1），则从机会占用总线，向主机发送数据。每发送 8 位数据，从机释放总线，等待主机的应答：

如果主机应答的是低电平，则从机继续发送数据。在发送过程中，如果从机寄存器中的 AA 值被改写为 0，则传输完当前字节从机会主动结束传输并释放总线，等待主机的停止信号或重新启动信号（ $STATE[2:0] = 101$ ）。



如果主机应答的是高电平，则从机 $STATE[2:0] = 100$ ，等待主机的停止信号或重新启动信号。

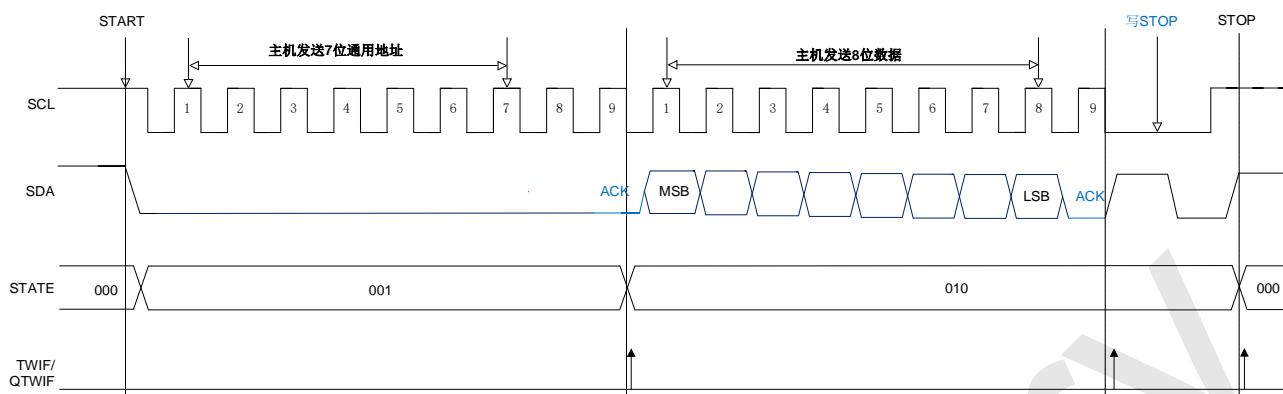


● 通用地址的响应:

GC=1 时，此时通用地址允许使用。从机进入到接收第一帧地址 ($STATE[2:0] = 001$) 状态，接收的第一帧数据中的地址位数据为 0x00，此时所有从机响应主机。主机发送的读写位是必须是写 (0)，所有从机接收后进入接收数据 ($STATE[2:0] = 010$) 状态。主机每发送 8 个数据释放一次 SDA 线，并读取 SDA 线上的状态:

如果有从机应答，则主机的通信可以有以下几种方式:

- 继续发送数据;
- 重新启动;
- 发送停止信号，结束本次通讯。



如果无从机应答，则 SDA 为空闲状态。

注意：在一主多从模式下使用通用地址时，主机发送的读写位不能为读（1）状态，否则除发送数据的设备，总线上其它设备均会响应。

21.5 从机模式操作步骤

- ① 配置 TWI0 控制寄存器 TWI0_CON: TWEN = 1，使能 TWI
- ② 配置 TWI0 控制寄存器 TWI0_CON
- ③ 配置 TWI0 地址寄存器 TWI0_ADD
- ④ 如果从机接收数据，则等待 TWI0_STS 中的中断标志位 TWIF 置 1。从机每接收到 8 位数据，TWIF 会被置 1。中断标志位 TWIF 需手动清零
- ⑤ 如果从机发送数据，则要将待发送的数据写进 TWI0 的 TWIDAT 中，TWI 会自动将数据发送出去。每发送 8 位，中断标志位 TWIF 就会被置 1。

21.6 主机工作模式

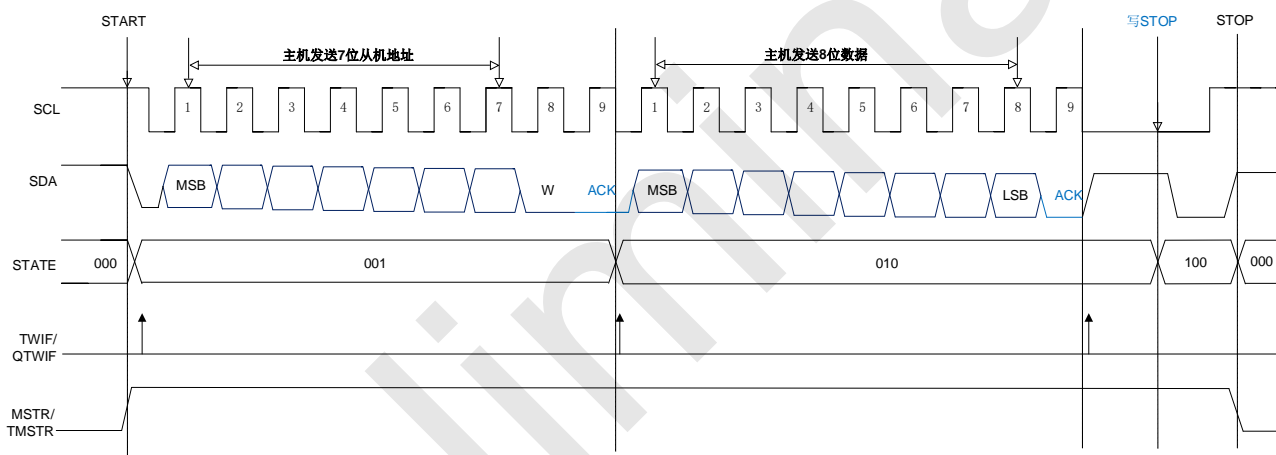
● 模式启动

当 TWI 接口向总线发出起始条件后，会自动切换为主模式，同时硬件将 TWIO 的 MSTR 位置 1。主机状态位 STATE[2:0]从 000 切换到 001，同时中断条件 TWIF 被置 1。

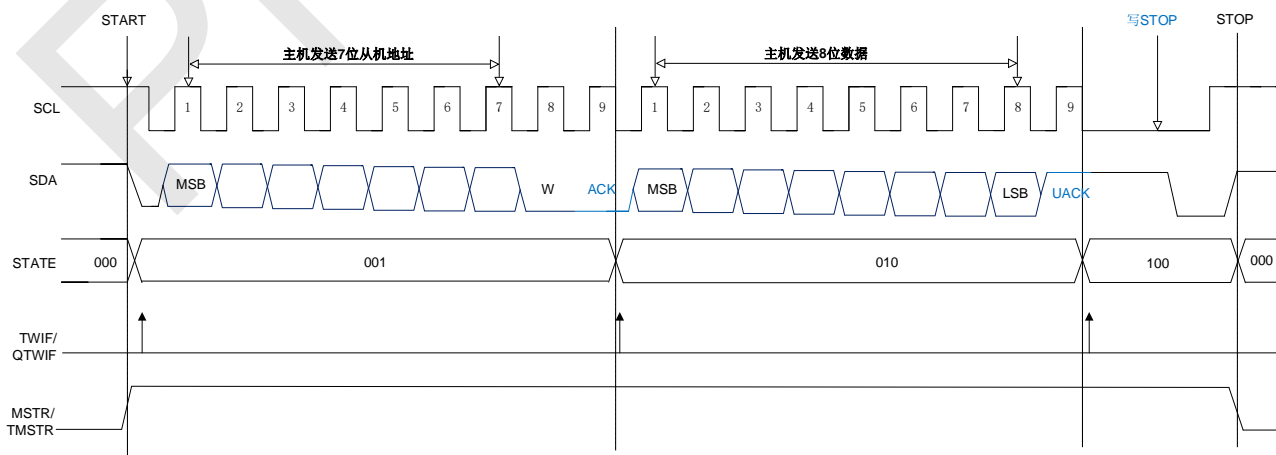
● TWI 主机发送模式

主机发送模式下，主机发送的第一帧数据包括了 7 位地址位（被选中的从机地址）和 1 位读写位（=0，写命令），TWI 总线上所有从机都会收到主机的第一帧数据。主机发送完第一帧数据后释放 SDA 信号线。被选中的从机在 SCL 的第 9 个时钟周期给主机一个应答信号，之后会释放总线并进入到从机接收状态等待接收主机发送的数据。主机每发送 8 位，都要释放总线，等待第 9 个周期从机的应答信号。

如果从机应答低电平，主机可以继续发送数据。也可以重新发送启动信号：



如果从机应答高电平，表示当前字节传输完以后，从机会主动结束本次传输，不再接收主机发送的数据，主机 STATE[2:0]从发送数据状态 010 切换为 100：

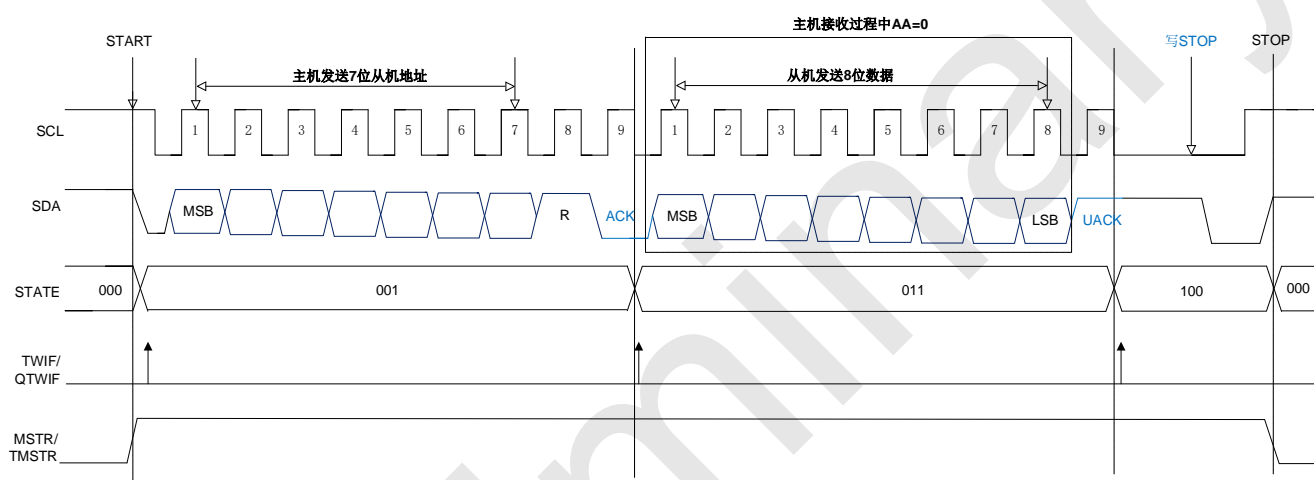


● TWI 主机接收模式

主机发送模式下，主机发送的第一帧数据包括了包括了 7 位地址位（被选中的从机地址）和 1 位读写位（=1，读命令），TWI 总线上所有从机都会收到主机的第一帧数据。主机发送完第一帧数据后释放 SDA 信号线。被选中的从机在 SCL 的第 9 个时钟周期给主机一个应答信号，之后会占用总线，向主机发送数据。每发送 8 位数据，从机释放总线，等待主机的应答。主机接收到从机地址匹配成功后的应答信号 ACK，并开始接收从机数据（STATE=011）：

1. 若主机应答位使能（AA=1），则每接收到一 byte 数据，主机回复应答信号 ACK，TWIF 被置位；
2. 在接收最后一 byte 数据前，若应答使能位关闭（AA=0），则主机接收完最后一 byte 数据后回复 UACK，然后主机可发送停止信号。

主机接收模式下，主动释放总线方式如下：



21.7 主机模式操作步骤

- ① 配置 TWI0 控制寄存器 TWI0_CON: TWEN = 1，使能 TWI
- ② 配置 TWI0 控制寄存器 TWI0_CON: 配置 TWI0 通信速率（TWCK[3:0]），将起始位 STA 置“1”
- ③ 配置 TWI0 数据寄存器 TWI0_DATA: 将“从机地址+读写位”写入 TWIDAT[7:0]，总线上发出地址帧
- ④ 如果主机接收数据，则等待 TWI0_STS 中的中断标志位 TWIF 置 1。主机每接收到 8 位数据，中断标志位会被置 1。中断标志位需手动清零；
- ⑤ 如果主机发送数据，则要将待发送的数据写进 TWIDAT 中，TWI 会自动将数据发送出去。每发送 8 位，中断标志位 TWIF 就会被置 1。
- ⑥ 数据接收发送完成，主机可发送停止条件（TWI0 为 STO=1），主机状态切换为 000。或发送重复起始信号，开始新一轮的数据传输。

注意：主机产生 stop 之后主机的 TWIF 不会置位！

21.8 TWI0 中断

对于 TWI0，在发生以下事件都可以触发中断，所有的 TWI 事件共用一个中断标志位。

中断事件	事件标志位	中断请求控制位
主机模式，发送完启动信号	TWIF	TWI0_IDE ->INTEN

中断事件	事件标志位	中断请求控制位
主机模式，发送完地址帧		
主机模式，接收或发送完数据帧		
从机模式，第一帧地址匹配成功		
从机模式，成功接收或发送 8 位数据		
从机模式，接收到重复起始条件		
从机模式，收到停止信号		

21.9 TWIO 寄存器

21.9.1 TWIO 相关寄存器表

21.9.1.1 TWIO 控制寄存器 TWIO_CON

寄存器	读/写	说明	复位值	上电初始值
TWIO_CON	读/写	TWIO 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	SPOS[1:0]		-	TWCK[3:0]			
7	6	5	4	3	2	1	0
TWEN	-	STA	STO	-	-	AA	STRETCH

位编号	位符号	说明		
14~13	SPOS[1:0]	● TWI0 信号口映射控制位 @TWI0_CON		
		<div>信号</div> <div>SPOS 值</div>	SCL0	SDA0
		SPOS[1:0]=000	PA0	PA1
		SPOS[1:0]=001	PB7	PB6
		SPOS[1:0]=010	PB3	PB4
11~8	TWCK[3:0]	主机模式下 TWI 的通信速率设定：		
		0000: f _{PCLK} /4096		
		0001: f _{PCLK} /2048		
		0010: f _{PCLK} /1024		
		0011: f _{PCLK} /512		
		0100: f _{PCLK} /256		
		0101: f _{PCLK} /128		
		0110: f _{PCLK} /64		
		0111: f _{PCLK} /32		
		1000: f _{PCLK} /16		
		1001: f _{PCLK} /8		
		1010: f _{PCLK} /4		
		其它: f _{PCLK} /4		
TWI0 的通信速率 f _{TWI0} = f _{PCLK0}				

位编号	位符号	说明
		注意：TWIO 作主机时极限频率为 4M，作从机时极限频率为 4M
7	TWEN	TWI 使能控制位 0：关闭 TWI 1：打开 TWI
5	STA	TWI 起始位触发开关 该位写 1 将产生起始条件，TWI 将切换为主机模式。 软件可以设置或清除该位，或当起始条件发出后，由硬件清 0。
4	STO	TWI 停止位触发开关 主机模式下，对该位写 1，在当前字节传输或起始条件发出后产生停止条件。 软件可以设置或清除该位，或当检测到停止条件时，由硬件清除。
1	AA	TWI 应答使能位 0：无应答，返回 UACK（应答位为高电平） 1：在接收到一个匹配的地址或数据后返回一个应答 ACK
0	STRETCH	TWI 时钟延长使能位 该位仅在从机模式下有效 0：禁止时钟延长 1：允许时钟延长，主机需要支持时钟延长功能 说明：在数据传输完成之后，且 ACK 为 0，此时时钟延长发生。
31~15 12 6 3~2	-	保留

21.9.1.2 TWIO 标志状态位寄存器 TWIO_STS

寄存器	读/写	说明	复位值	上电初始值
TWIO_STS	读/写	TWIO 标志状态位寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
NBYTES[7:0]							
15	14	13	12	11	10	9	8
-	-	-	-	-	STATE[2:0]		
7	6	5	4	3	2	1	0
-	-	-	-	MSTR	GCA	TXnE/RXnE	TWIF

位编号	位符号	说明
23~16	NBYTES[7:0]	收发缓存字节数设置位 用于设置待发送/接收的字节数。 每发送/接收成功一个自己 NBYTES 自动减 1，当 NBYTES 为 0 时 TC 标志位将置起。 注意：STA 置 1 时不允许修改。
10~8	STATE[2:0]	TWI 状态位 用于指示 TWI 状态，主/从机模式下状态位含义不同。 ● 从机模式： 000：从机处于空闲状态，等待 TWEN 置 1，检测 TWI 启动信号。当从机接收到停止条件后跳转到此状态 001：从机正在接收第一帧地址和读写位（第 8 位为读写位，1 为读，0 为写）。从机接收到起始条件后会跳转到此状态 010：从机接收数据状态

位编号	位符号	说明
		<p>011: 从机发送数据状态</p> <p>100: 在从机发送数据状态中, 当主机回 UACK 时跳转到此状态, 等待重新启动信号或停止信号</p> <p>101: 从机处于发送状态时, 将 AA 写 0 会进入此状态, 等待重新启动信号或停止信号</p> <p>110: 从机的地址与主机发送的地址不匹配会跳转到此状态, 等待新的起始条件或停止条件</p> <ul style="list-style-type: none"> 主机模式: <ul style="list-style-type: none"> 000: 状态机为空闲状态 001: 主机发送起始条件或主机正在发送从设备地址 010: 主机发送数据 011: 主机接收数据 100: 主机发送停止条件或接收到从机的 UACK 信号
3	MSTR	<p>TWI 主/从机模式标志位</p> <p>0: 从机模式</p> <p>1: 主机模式</p> <p>说明:</p> <ol style="list-style-type: none"> 当 TWI 接口向总线发出起始条件后, 会自动切换为主机模式, 同时硬件将该位置位; 当总线上检测到一个停止条件时, 硬件清除该位。
2	GCA	<p>TWI 通用地址响应标志位</p> <p>0: 非响应通用地址</p> <p>1: 当 GC 置 1, 同时通用地址匹配时该位由硬件置 1, 并自动清 0</p>
1	TXnE/RXnE	<p>TWI 传输完成标志位</p> <p>以下情况, TXnE/RXnE 由硬件置 1</p> <ul style="list-style-type: none"> 主机模式: <ul style="list-style-type: none"> 主机发送地址帧 (写), 且收到从机的 ACK 主机发送完数据, 且接收到从机 ACK 主机接收到数据, 且主机回从机 ACK 从机模式: <ul style="list-style-type: none"> 从机接收地址帧 (读), 且和从机地址 (TWA) 匹配 从机接收到数据, 且从机回主机 ACK 从机发送完数据, 且接收到主机 ACK (AA=1) <p>对 TWIDAT 进行读写操作后, 该位将被硬件清除。</p>
0	TWIF	<p>TWI 中断标志位</p> <p>该位由硬件置 1, 通过软件写 1 清 0。</p> <ul style="list-style-type: none"> 主机模式: <ul style="list-style-type: none"> 发送启动信号 发送完地址帧 接收或发送完数据帧 从机模式: <ul style="list-style-type: none"> 第一帧地址匹配成功 成功接收或发送 8 位数据 接收到重复起始条件 从机收到停止信号
31~24 15~11 7~4	-	保留

21.9.1.3 TWI0 地址寄存器 TWI0_ADD

寄存器	读/写	说明	复位值	上电初始值
TWI0_ADD	读/写	TWI0 地址寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
TWA[6:0]							GC

位编号	位符号	说明
7~1	TWA[6:0]	TWI 地址寄存器 TWA[6:0]不能写为全 0，00H 为通用地址寻址专用。 该位在主机模式下无效。
0	GC	TWI 通用地址响应使能位 0：禁止响应通用地址 00H 1：允许响应通用地址 00H
31~8	-	保留

21.9.1.4 TWI0 数据寄存器 TWI0_DATA

寄存器	读/写	说明	复位值	上电初始值
TWI0_DATA	读/写	TWI0 数据寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
TWIDAT[7:0]							

位编号	位符号	说明
7~0	TWIDAT[7:0]	TWI 数据缓存 读操作：从 TWI 接收缓存读取接收到的数据 写操作：向 TWI 发送缓存写入待发送的数据
31~8	-	保留

21.9.1.5 TWI0 的中断使能及 DMA 控制寄存器 TWI0_IDE

寄存器	读/写	说明	复位值	上电初始值
TWI0_IDE	读/写	TWI0 的中断使能及 DMA 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
TXDMAEN	RXDMAEN	-	-	-	-	-	INTEN

位编号	位符号	说明
7	TXDMAEN	DMA 发送通道使能位 0: 禁用 DMA 发送功能 1: 使能 DMA 发送功能 该位使能后, TXnE 置起可触发 DMA 通道发送请求
6	RXDMAEN	DMA 接收通道使能位 0: 禁用 DMA 接收功能 1: 使能 DMA 接收功能 该位使能后, RXnE 置起可触发 DMA 通道接收请求
0	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
31~8 5~1	-	保留

21.9.2 TWI0 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
TWI0 基地址: 0x4002_0060					
TWI0_CON	0x00	读/写	TWI0 控制寄存器	0x0000_0000	0x0000_0000
TWI0_STS	0x04	读/写	TWI0 标志位寄存器	0x0000_0000	0x0000_0000
TWI0_ADD	0x08	读/写	TWI0 地址寄存器	0x0000_0000	0x0000_0000
TWI0_DATA	0x0C	读/写	TWI0 数据寄存器	0x0000_0000	0x0000_0000
TWI0_IDE	0x10	读/写	通信口 DMA 控制寄存器	0x0000_0000	0x0000_0000

22 硬件看门狗 WDT

22.1 概述

SC32M13X&SCDx13X 系列内建一个独立的硬件看门狗 WDT，其时钟源为内部的 32kHz 振荡器 LIRC。用户可以通过编程器的 Customer Option 中的 ENWDT 控制位选择是否开启看门狗复位功能。

硬件看门狗 WDT，具有安全性高、定时准确及使用灵活的优点。此看门狗外设可检测并解决由软件错误导致的故障，并在计数器达到给定的溢出时间时触发系统复位。

WDT 由其内部低频振荡器驱动，因此即便在主时钟发生故障时仍然保持工作状态。

22.2 时钟源

SC32M13X&SCDx13X 系列的 WDT 的时钟源固定为 LIRC。WDT 使能后，LIRC 会自动开启，WDT 工作的过程中 LIRC 始终保持振荡，用户无法关闭。

22.3 WDT 寄存器

22.3.1 WDT 相关寄存器表

22.3.1.1 WDT 控制寄存器 WDTCON

寄存器	读/写	说明	复位值	上电初始值
WDTCON	读/写	WDT 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	CLRWDT

位编号	位符号	说明
0	CLRWDT	WDT 计数清零位 该位通过软件写 1，由硬件自动清 0。 0：无影响 1：WDT 计数器从 0 开始计数
31~1	-	保留

22.3.1.2 WDT 设置寄存器 WDTCFG

寄存器	读/写	说明	复位值	上电初始值
WDTCFG	读/写	WDT 设置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	WDTCKS[2:0]		

位编号	位符号	说明
2~0	WDTCKS[2:0]	看门狗时钟选择:
		WDTCKS[2:0] WDT 溢出时间
		000 500ms
		001 250ms
		010 125ms
		011 62.5ms
		100 31.5ms
		101 15.75ms
		110 7.88ms
		111 3.94ms
31~3	-	保留

22.3.2 WDT 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值	访问限制
WDT 基地址: 0x4000_0330						
WDTCON	0x0C	读/写	WDT 控制寄存器	0x0000_0000	0x0000_0000	不支持字节/半字访问
WDTCFG	0x10	读/写	WDT 设置寄存器	0x0000_0000	0x0000_0000	不支持字节/半字访问

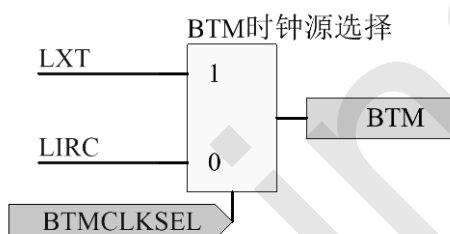
23 Base Timer (BTM)

23.1 概述

SC32M13X&SCDx13X 系列内建一个 Base Timer (BTM)，可以按照 15.625ms ~ 32s 的间隔产生中断。32kHz LIRC 及外接 32.768kHz 晶体振荡器 LXT 都可作为 BTM 的时钟源。BTM 产生的中断可以将 CPU 从 STOP mode 唤醒。

23.2 时钟源

- SC32M13X&SCDx13X 系列的 BTM 时钟源有两种：LXT 和 LIRC 可选



23.3 特性

- 中断频率间隔 15.625ms ~ 32s 可选
- 可唤醒 STOP Mode

23.4 BTM 中断

SC32M13X&SCDx13X 系列的 BTM 计数满足 BTMFS 设置条件时，BTMIF 置起，如果 BTM_CON.INTEN=1，将产生中断。

中断事件	事件标志位	中断使能控制位
BTM 中断请求	BTMIF	BTM_CON->INTEN

23.5 BTM 寄存器

23.5.1 BTM 相关寄存器表

23.5.1.1 低频定时器控制寄存器 BTM_CON

寄存器	读/写	说明	复位值	上电初始值
BTM_CON	读/写	低频定时器控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
ENBTM	INTEN	-	-	BTMFS[3:0]			

位编号	位符号	说明
7	ENBTM	Base Timer 启动控制位 0: Base Timer 不启动 1: Base Timer 启动
6	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
3~0	BTMFS[3:0]	低频时钟中断频率选择 0000: 每 15.625ms 产生一个中断 0001: 每 31.25ms 产生一个中断 0010: 每 62.5ms 产生一个中断 0011: 每 125ms 产生一个中断 0100: 每 0.25 s 产生一个中断 0101: 每 0.5 s 产生一个中断 0110: 每 1.0 s 产生一个中断 0111: 每 2.0 s 产生一个中断 1000: 每 4.0 s 产生一个中断 1001: 每 8.0 s 产生一个中断 1010: 每 16.0 s 产生一个中断 1011: 每 32.0 s 产生一个中断 1100~1111: 保留
31~8 5~4	-	保留

23.5.1.2 BTM 标志位寄存器 BTM_STS

寄存器	读/写	说明	复位值	上电初始值
BTM_STS	读/写	BTM 标志位寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	BTMIF

位编号	位符号	说明
0	BTMIF	Base Timer 中断标志位 该位由硬件置 1，通过软件写 1 清 0。 BTM 计数满足 BTMFS 设置条件时该位自动置起。
31~1	-	保留

23.5.2 BTM 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
BTM 基地址: 0x4002_1080					
BTM_CON	0x00	读/写	低频定时器控制寄存器	0x0000_0000	0x0000_0000
BTM_STS	0x04	读/写	BTM 标志位寄存器	0x0000_0000	0x0000_0000

24 内建 CRC 校验模块

24.1 概述

SC32M13X&SCDx13X 系列内建一个 CRC 校验模块，使用多项式发生器从一个 8 位/16 位/32 位的数据字中产生 CRC 码。在众多的应用中，基于 CRC 的技术还常用来验证数据传输或存储的完整性。根据功能安全标准的规定，这些技术提供了验证 Flash 完整性的方法。CRC 计算单元有助于在运行期间计算软件的签名，并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

24.2 时钟源

- SC32M13X&SCDx13X 系列的 CRC 时钟源来自 HCLK

24.3 特性

- 内建了 1 个硬件 CRC 模块
- 初始值可设，默认为 0xFFFFFFFF
- 支持 8 Bits/16 Bits/32 Bits 数据单元
- 多项式可编程，默认为 0x04C1_1DB7
- 仅支持软件送数计算模式
- 支持 DMA: CRC_DR 可作为 DMA 的目标地址，也可直接寄存器访问
- 单独一个 byte 计算 CRC 需要 1 个系统时钟。

CRC 算法名称	CRC-32/MPEG-2
多项式公式	$x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$
数据宽度	32bit
初始值	0xFFFF_FFFF
结果异或值	0x00000000
输入值反转	false
输出值反转	false
LSB/MSB	MSB

注意：CRCDR 写入数据和读出不是同一数据。

24.4 CRC 寄存器

24.4.1 CRC 相关寄存器表

24.4.1.1 CRC 数据寄存器 CRC_DR

寄存器	读/写	说明	复位值	上电初始值
CRC_DR	读/写	CRC 数据寄存器（被计算的数/结果）	0xFFFF_FFFF	0x0000_0000

31	30	29	28	27	26	25	24
CRCDR[31:24]							
23	22	21	20	19	18	17	16
CRCDR[23:16]							
15	14	13	12	11	10	9	8
CRCDR[15:8]							
7	6	5	4	3	2	1	0
CRCDR[7:0]							

位编号	位符号	说明
31~0	CRCDR[31:0]	<p>CRC 数据寄存器位</p> <p>该寄存器用于向 CRC 计算器写入新数据。</p> <p>读取寄存器时可读出之前的 CRC 计算结果。</p> <p>如果数据大小小于 32 位，则最低有效位可用于写入 / 读取正确值。</p> <p>该寄存器的操作要求如下：</p> <ol style="list-style-type: none"> 1. 首先必须对 CRC_CON.CRCRST 写 1，将 CRCDR 复位 2. 当 CRCREG 被写入时，硬件自动计算 CRC 结果，并继续存放于 CRCDR 内 <p>当需要时，即时读出 CRC 计算结果。</p>

24.4.1.2 CRC 控制寄存器 CRC_CON

寄存器	读/写	说明	复位值	上电初始值
CRC_CON	读/写	CRC 控制寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	-
7	6	5	4	3	2	1	0
POLYSIZE[1:0]		-	-	-	-	-	CRCRST

位编号	位符号	说明
7~6	POLYSIZE[1:0]	CRC 多项式大小设置位 00: 32 位多项式 01: 16 位多项式 10: 8 位多项式 11: 7 位多项式
0	CRCRST	CRCDR 寄存器复位(Q31~Q0) 该位通过软件写 1，由硬件自动清 0。 0: 无影响 1: 复位 CRCDR，复位的值为用户写入 CRC_INIT 寄存器的值
31~8 5~1	-	保留

24.4.1.3 CRC 初始值寄存器 CRC_INT

寄存器	读/写	说明	复位值	上电初始值
CRC_INT	读/写	CRC 初始值寄存器	0xFFFF_FFFF	0x0000_0000

31	30	29	28	27	26	25	24
CRC_INIT[31:24]							
23	22	21	20	19	18	17	16
CRC_INIT[23:16]							
15	14	13	12	11	10	9	8
CRC_INIT[15:8]							
7	6	5	4	3	2	1	0
CRC_INIT[7:0]							

位编号	位符号	说明
31~0	CRC_INIT[31:0]	可编程 CRC 初始值，复位值：0xFFFF_FFFF 此寄存器用于写入 CRC 初始值

24.4.1.4 CRC 多项式设置寄存器 CRC_POL

寄存器	读/写	说明	复位值	上电初始值
CRC_POL	读/写	CRC 多项式设置寄存器	0x04C1_1DB7	0x0000_0000

31	30	29	28	27	26	25	24
POL[31:24]							
23	22	21	20	19	18	17	16
POL[23:16]							
15	14	13	12	11	10	9	8
POL[15:8]							
7	6	5	4	3	2	1	0
POL[7:0]							

位编号	位符号	说明
31~0	POL[31:0]	可编程多项式，复位值：0x04C1_1DB7 此寄存器用于写入要用于 CRC 计算的多项式系数，如果多项式数值小于 32 位，则必须使用最低有效位编程正确值。

24.4.2 CRC 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值	访问限制
CRC 基地址：0x4000_2000						
CRC_DR	0x00	读/写	CRC 数据寄存器	0xFFFF_FFFF	0x0000_0000	-
CRC_CON	0x04	读/写	CRC 控制寄存器	0x0000_0000	0x0000_0000	-
CRC_INT	0x08	读/写	CRC 初始值寄存器	0xFFFF_FFFF	0x0000_0000	不支持字节/半字访问
CRC_POL	0x0C	读/写	CRC 多项式设置寄存器	0x04C1_1DB7	0x0000_0000	不支持字节/半字访问

25 直接存储器访问(DMA)

25.1 概述

直接存储器访问(DMA)控制器用于高速数据传输。DMA 控制器可以从一个地址到另一个地址传输数据，无需 CPU 介入。通过 DMA 进行数据传输可减少 CPU 的工作量，将节省下的 CPU 资源做其他应用。DMA 控制器包含 4 个通道，每个通道都直接连接专用的硬件 DMA 请求，每个通道都同样支持软件触发。DMA 控制器支持 4 级通道优先级，用于处理 DMA 请求间的优先级，确保同一时刻只有一个 DMA 通道工作。DMA 控制器也支持单一传输和批量传输，请求源可以是软件请求或接口请求，内存之间的数据传输是使用软件请求。

注：对于一个双向数据传输应用，需要 2 个 DMA 通道分别完成发送和接收。

25.2 时钟源

DMA 的时钟源为 HCLK，通过 AHB_CFG.DMAEN 使能 DMA 的外设时钟。

25.3 特性

- 支持 4 个可独立配置的通道
- 支持 4 级通道优先级
- 支持 8 位，16 位，32 位数据传输
- 支持源和目标地址自动增加/减少或者固定，数据宽度支持字节，半字，字
- 支持单次和批量传输方式

25.4 功能说明

25.4.1 传输方向

DMA 外设与存储之间传输无限制：

内存到内存	内存到外设	外设到内存	外设到外设
无限制	无限制	无限制	无限制

25.4.2 DMA 访问区域限制

用户操作 DMA 时，不允许对 Flash 进行写操作，也不允许通过 DMA 操作内核，否则将产生无法预估的异常。

25.4.3 通道优先级

通过 PL[1:0]位可设置四个级别的优先级：

- 00：低
- 01：中

- 10: 高
- 11: 非常高

25.4.4 单一传输和批量传输

DMA 控制器支持单一和成组数据的传输类型，请求源可以是软件请求，接口请求，内存之间的数据传输是使用软件请求。单一传输的意思是软件或接口准备好传输一个数据(每个数据需要一次请求)，批量传输的意思是软件或接口将传输多个数据(多个数据仅需一次请求)。

单一传输和批量传输模式可通过寄存器 TPTYPE (DMA_n_CFG[15])设定。

当 DMA 控制器运行在单一传输模式，每搬移一个数据需要一次请求，当搬移一次数据，寄存器 DMA_n_CNT[31:0]，n=0~3 会减 1，直到 DMA_n_CNT[31:0] 中的数目递减为 0，搬移才会完成。在该模式，BURSIZE(DMA_n_CFG[14:12])不用于控制搬移数据量大小，它的值固定为 1。

在批量搬移模式，DMA 控制器搬移 DMA_n_CNT[31:0]个数据，仅需一次请求。当搬移 BURSIZE(DMA_n_CFG[14:12])数据后，DMA_n_CNT[31:0]中的数目会减去 BURSIZE。直到 DMA_n_CNT[31:0]中的数目递减为 0，搬移数据才完成。

25.4.5 循环模式

循环模式可用于处理循环缓冲区和连续数据流（例如 ADC 扫描模式）。在循环模式传输过程中，待传输数据的数目将自动重新装载为在通道配置阶段设置的初始值，并继续响应 DMA 请求。为停止循环传输，软件需要在禁止 DMA 通道前使外设停止生成 DMA 请求（例如退出 ADC 扫描模式）。软件必须在启动/使能传输前，以及在停止循环传输后，明确设定 DMACNT 值。

SC32M13X&SCDx13X 系列的 DMA 控制器支持常规模式和循环模式：

- 当 CIRC=0（DMA 通道处于非循环模式）时，在达到设定的待传输数据数目时，将不再接受任何 DMA 请求；
- 当 CIRC=1（DMA 通道处于循环模式）时，在传输完成后该通道的 DMACNT 会自动重新装载之前设定的值，等待下一次循环。

用户可以根据实际需求灵活选择。

25.4.6 DMA 通道使能后禁止操作的控制位

状态位、标志清零位不受限制，其余控制位均受 CHEN=1 操作限制，其目的应是为了防止传输过程修改配置导致数据传输不确定。

DMA 通道使能后，寄存器位域/位、源/目标地址、优先级、传输控制相关均不可改写。

25.5 DMA 中断

对于每个 DMA 通道 n，n=0~3，在发生“传输完成”、“半传输”或“传输错误”时都会生成中断。可以使用单独的中断使能位以提高灵活性。

中断事件	事件标志位	中断请求控制位	子事件标志位	中断使能子开关
DMA 通道 n 传输完成	GIF	DMA _n _CFG ->INTEN	TCIF	TCIE
DMA 通道 n 传输一半			HTIF	HTIE

中断事件	事件标志位	中断请求控制位	子事件标志位	中断使能子开关
DMA 通道 n 传输错误			TEIF	TEIE

25.6 DMA 寄存器

25.6.1 DMA 相关寄存器表

25.6.1.1 DMA 通道 n 传输源地址缓存寄存器 DMA_n_SADR

寄存器	读/写	说明	复位值	上电初始值
DMA _n _SADR n = 0~3	读/写	DMA 通道 n 传输源地址缓存寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
SADR[31:24]							
23	22	21	20	19	18	17	16
SADR[23:16]							
15	14	13	12	11	10	9	8
SADR[15:8]							
7	6	5	4	3	2	1	0
SADR[7:0]							

位编号	位符号	说明
31~0	SADR[31:0]	<p>DMA 传输源地址缓存</p> <ul style="list-style-type: none"> ● 读取： <ul style="list-style-type: none"> ■ 当通道打开时，读到的是内部的源地址工作寄存器； ■ 当通道禁止时，读到的是表面上的源地址缓存寄存器。 ● 更新： <ul style="list-style-type: none"> ■ 每搬运完一次，源地址工作寄存器会根据 SAINC[1:0]设置自动变化，其变化的宽度根据 TXWIDTH[1:0]决定。 ■ 循环模式下(SAINC == 11)，源地址缓存寄存器会重载至源地址工作寄存器。 ● 写入： <ul style="list-style-type: none"> ■ 写源地址缓存寄存器的条件：CHEN=0，或 CHEN=1，但 DMA 通道已传输完成，且处于 IDLE 状态。

25.6.1.2 DMA 通道 n 传输目标地址缓存寄存器 DMA_n_DADR

寄存器	读/写	说明	复位值	上电初始值
DMA _n _DADR n = 0~3	读/写	DMA 通道 n 目标地址缓存寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
DADR[31:24]							
23	22	21	20	19	18	17	16
DADR[23:16]							
15	14	13	12	11	10	9	8
DADR[15:8]							
7	6	5	4	3	2	1	0
DADR[7:0]							

位编号	位符号	说明
31~0	DADR[31:0]	<p>DMA 传输目标地址缓存</p> <ul style="list-style-type: none"> ● 读取： <ul style="list-style-type: none"> ■ 当通道打开时，读到的是内部的目标地址工作寄存器； ■ 当通道禁止时，读到的是表面上的目标地址缓存寄存器。 ● 更新： <ul style="list-style-type: none"> ■ 每搬运完一次，目标地址工作寄存器会根据 DAINC[1:0]设置自动变化，其变化的宽度根据 TXWIDTH[1:0]决定。 ■ 循环模式下(SAINC == 11)，目标地址缓存寄存器会重载至目标地址工作寄存器。 ● 写入： <ul style="list-style-type: none"> ■ 写目标地址缓存寄存器的条件：CHEN=0，或 CHEN=1，但 DMA 通道已传输完成，且处于 IDLE 状态。

25.6.1.3 DMA 通道 n 控制/配置寄存器 DMA_n_CFG

寄存器	读/写	说明	复位值	上电初始值
DMA _n _CFG n = 0~3	读/写	DMA 通道 n 控制/配置寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	REQSRC[5:0]					
23	22	21	20	19	18	17	16
CHRQ	-	-	-	TEIE	HTIE	TCIE	INTEN
15	14	13	12	11	10	9	8
TPTYPE	BURSIZE[2:0]			SAINC[1:0]		DAINC[1:0]	
7	6	5	4	3	2	1	0
CHEN	CHRST	PAUSE	CIRC	TXWIDTH[1:0]		PL[1:0]	

位编号	位符号	说明
29~24	REQSRC[5:0]	<p>DMA 通道请求源选择位</p> <p>0: 禁用当前 DMA 通道的外设请求</p> <p>选择以下配置值，当前 DMA 通道的外设请求源将配合设置项中的外设 DMA 请求使能开关产生：</p> <p>2: UART0_IDE->TXDMAEN</p> <p>3: UART0_IDE->RXDMAEN</p> <p>4: UART1_IDE->TXDMAEN</p> <p>5: UART1_IDE->RXDMAEN</p> <p>12: SPI0_IDE->TXDMAEN</p> <p>13: SPI0_IDE->RXDMAEN</p> <p>20: TWI0_IDE->TXDMAEN</p> <p>21: TWI0_IDE->RXDMAEN</p> <p>33: TIM1_IDE->TIDE</p> <p>34: TIM1_IDE->CAPFDE</p> <p>35: TIM1_IDE->CAPRDE</p> <p>36: TIM2_IDE->TIDE</p> <p>37: TIM2_IDE->CAPFDE</p> <p>38: TIM2_IDE->CAPRDE</p> <p>48: PCAP_IDE->CAPDE</p> <p>49: PCAP_IDE->TIDE</p> <p>59: ADCCON->DMAEN</p> <p>60: DMA0_CFG->CHRQ</p>

位编号	位符号	说明
		61: DMA1_CFG->CHRRQ 62: DMA2_CFG->CHRRQ 63: DMA3_CFG->CHRRQ 其它: 禁用 DMA 外设请求
23	CHRRQ	DMA 通道的 DMA 请求使能位 0: 禁止, 当前 DMA 通道禁止作为其它 DMA 通道的请求源 1: 使能, 当前 DMA 通道可作为其它 DMA 通道的请求源, 即当前 DMA 通道和其它外设一样, 可产生 DMA 请求。 该位使能后, 可以实现 DMA 请求 DMA, 例如: CHRRQ =1, DMA 通道 n 完成数据搬运后, 向 DMA 通道 m 产生一个 DMA 请求, 通道 m 响应请求, 将预先配置好的参数表更新至通道 n 的寄存器, 从而实现通道 n 的参数自动更新。 注意: CHRRQ 置起后, 作为请求源的 DMA 能够进行数据搬运, 但不会置起标志位和进入相应中断, 需要 CHRRQ 位置 0 后, 才会置起标志位及进入中断。
19	TEIE	DMA 传输错误中断使能位 0: DMA 传输错误中断除能 1: DMA 传输错误中断使能
18	HTIE	DMA 传输一半中断使能位 0: DMA 传输一半中断除能 1: DMA 传输一半中断使能
17	TCIE	DMA 传输完成中断使能位 0: DMA 传输完成中断除能 1: DMA 传输完成中断使能
16	INTEN	中断请求 CPU 的使能控制位 0: 禁止中断请求 1: 使能中断请求
15	TPTYPE	DMA 通道传输类型选择位 0: 单次传输 1: 批量传输。批量传输模式下, DMA 控制器搬运 DMACNT 个数据仅需一次请求, 通道响应该请求后, 数据将以 Burst 方式进行传输, 即以 BURSIZE 为单位进行数据搬运直到 DMACNT 递减为 0, 一次批量传输模式下的数据处理才算完成。
14~12	BURSIZE[2:0]	批量传输时, 基于 Burst 传输方式下的定义, Burst 大小可选择: 000: 128 001: 64 010: 32 011: 16 100: 8 101: 4 110: 2 111: 1
11~10	SAINC[1:0]	DMA 通道传输源地址增减模式设置位 00: 无增量 (固定地址模式) 01: 增量模式 10: 减量模式 11: 递增循环模式 (见 DMA 传输源地址缓存寄存器) SAINC[1:0] 的值可以任意修改, 在通道禁止时立即生效; 在通道使能时, 修改值在循环模式重装时生效
9~8	DAINC[1:0]	DMA 传输目标地址增减模式设置位 00: 无增量 (固定地址模式) 01: 增量模式

位编号	位符号	说明
		10: 减量模式 11: 递增循环模式（见 DMA 传输目标地址缓存寄存器） DAINC[1:0]的值可以任意修改，在通道禁止时立即生效；在通道使能时，修改值在循环模式重装载时生效
7	CHEN	DMA 通道使能位 0: DMA 通道禁止 1: DMA 通道使能
6	CHRST	DMA 通道复位控制位，该位用于控制 DMA 通道复位。 0: 无效 1: 当前 DMA 通道复位。此时，当前 DMA 通道的 CHEN 被除能，中断标志位被清除，其他寄存器的值保持不变
5	PAUSE	DMA 通道传输暂停控制位 0: 无效 1: 当前 DMA 通道暂停。此时，当前 DMA 通道的 CHEN 被除能，状态机在完成当前读写周期后回到 state=1，内部寄存器的值处于保持状态(源/目的地址，计数器)。暂停后若要恢复搬运，需同时对 CHEN 和 PAUSE 赋值：CHEN=1,PAUSE=0。
4	CIRC	DMA 通道循环模式使能位 0: 通道未处于循环模式，在达到设定的待传输数据数目时，该通道的 DMACNT 会保持为零； 1: 通道处于循环模式，在传输完成后该通道的 DMACNT 会自动重新装载之前设定的值。 循环模式可用于处理循环缓冲区和连续数据流（例如 ADC 扫描模式）。在循环模式传输过程中，待传输数据的数目将自动重新装载为在通道配置阶段设置的初始值，并继续响应 DMA 请求。为停止循环传输，软件需要在禁止 DMA 通道前使外设停止生成 DMA 请求（例如退出 ADC 扫描模式）。软件必须在启动/使能传输前，以及在停止循环传输后，明确设定 DMACNT 值。
3~2	TXWIDTH[1:0]	DMA 通道传输宽度选择位 选择当前 DMA 通道的源地址及目标地址每次传输的数据宽度： 00: 8bit 01: 16bit 10: 32bit 11: 32bit TXWIDTH[1:0] 的值可以任意修改，在通道禁止时，立即生效；在通道打开时，修改值在循环模式重装载时生效。
1~0	PL[1:0]	DMA 通道优先级设置位 在 DMA 已经有通道在工作，且其它通道也接收到请求正挂起，当正在工作的通道结束后将启动优先级仲裁。 00: 低 01: 中 10: 高 11: 非常高 注意：同等优先级配置，通道号越小优先级越高。
31~30 22~20	-	保留

25.6.1.4 DMA 通道 n 计数器缓存寄存器 DMA_n_CNT

寄存器	读/写	说明	复位值	上电初始值
DMA _n _CNT n = 0~3	读/写	DMA 通道 n 计数器缓存寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
DMACNT[31:24]							
23	22	21	20	19	18	17	16
DMACNT[23:16]							
15	14	13	12	11	10	9	8
DMACNT[15:8]							
7	6	5	4	3	2	1	0
DMACNT[7:0]							

位编号	位符号	说明
31~0	DMACNT[31:0]	<p>DMA 通道计数器缓存寄存器</p> <ul style="list-style-type: none"> ● 写入： <ul style="list-style-type: none"> ■ DMACNT 的值等于当前 DMA 通道的剩余传输次数； ■ 每个 DMA 通道内部都有一个“工作计数器”，该计数器会在每次搬运后以为 TXWIDTH 为单位递减： <ul style="list-style-type: none"> ◆ 当 CIRC=0（DMA 通道处于非循环模式）时，“工作计数器”递减到 0 后，将不再接受任何 DMA 请求。 ◆ 当 CIRC=1（DMA 通道处于循环模式）时，“工作计数器”递减到 0 后，会将 DMACNT 的值重载到“工作计数器”内，等待下一次循环。 ● 读取： <ul style="list-style-type: none"> ■ 当通道禁止时，读出的是 DMACNT 的值； ■ 当通道打开时，读出的是内部的“工作计数器”的实时数据。

25.6.1.5 DMA 通道 n 状态寄存器 DMA_n_STS

寄存器	读/写	说明	复位值	上电初始值
DMA _n _STS n = 0~3	读/写	DMA 通道 n 状态寄存器	0x0000_0000	0x0000_0000

31	30	29	28	27	26	25	24
-	-	-	-	-	-	-	-
23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8
-	-	-	-	-	-	-	SWREQ
7	6	5	4	3	2	1	0
STATUS[3:0]				TEIF	HTIF	TCIF	GIF

位编号	位符号	说明
8	SWREQ	<p>DMA 通道的软件请求触发位</p> <p>该位写 1 后，当前 DMA 通道会一直挂起软件请求，直到当前 DMA 通道响应，并将该位自动硬件清 0。</p>
7~4	STATUS[3:0]	<p>DMA 通道状态位</p> <p>0000：空闲。</p> <p>0001：写入源地址</p> <p>0010：读取源地址数据，并写入目的地址</p> <p>0011：写入目的地址数据</p> <p>0100：保留</p> <p>0101：挂起等待中(有通道在忙，其他通道请求挂起)</p> <p>0110：暂停等待中(批量传输模式时 PAUSE 写 1 后)</p> <p>0111：burst 传输中</p>

位编号	位符号	说明
		1000: burst 传输停止: PAUSE 使能、DMACNT 计数到 0, 或 bursize 计数到 0 均会进入此状态
3	TEIF	DMA 传输错误中断标志位 当 DMA 读写到未定义的地址时, TEIF 会被硬件置 1。 该位写 1 清零。
2	HTIF	DMA 传输一半中断标志位 当 DMACNT 的计数值计数到 DMACNT/2 时, HTIF 会被硬件置 1。 该位写 1 清零。
1	TCIF	DMA 传输完成中断标志位 当 DMACNT 的计数值计到 0 时, TCIF 会被硬件置 1。 该位写 1 清零。
0	GIF	DMA 通道全局中断标志位 0: 当前 DMA 通道无中断产生 1: 当前 DMA 通道产生中断: 传输错误、传输到一半或传输完成
31~9	-	保留

25.6.2 DMA 寄存器映射

寄存器	偏移地址	读/写	说明	复位值	上电初始值
DMA0 基地址: 0x4001_0800					
DMA0_SADR	0x00	读/写	DMA 源地址缓存寄存器	0x0000_0000	0x0000_0000
DMA0_DADR	0x04	读/写	DMA 目标地址缓存寄存器	0x0000_0000	0x0000_0000
DMA0_CFG	0x08	读/写	DMA 控制/配置寄存器	0x0000_0000	0x0000_0000
DMA0_CNT	0x0C	读/写	DMA 计数器缓存寄存器	0x0000_0000	0x0000_0000
DMA0_STS	0x10	读/写	DMA 状态寄存器	0x0000_0000	0x0000_0000
DMA1 基地址: 0x4001_0840					
DMA1_SADR	0x00	读/写	DMA 源地址缓存寄存器	0x0000_0000	0x0000_0000
DMA1_DADR	0x04	读/写	DMA 目标地址缓存寄存器	0x0000_0000	0x0000_0000
DMA1_CFG	0x08	读/写	DMA 控制/配置寄存器	0x0000_0000	0x0000_0000
DMA1_CNT	0x0C	读/写	DMA 计数器缓存寄存器	0x0000_0000	0x0000_0000
DMA1_STS	0x10	读/写	DMA 状态寄存器	0x0000_0000	0x0000_0000
DMA2 基地址: 0x4001_0880					
DMA2_SADR	0x00	读/写	DMA 源地址缓存寄存器	0x0000_0000	0x0000_0000
DMA2_DADR	0x04	读/写	DMA 目标地址缓存寄存器	0x0000_0000	0x0000_0000
DMA2_CFG	0x08	读/写	DMA 控制/配置寄存器	0x0000_0000	0x0000_0000

寄存器	偏移地址	读/写	说明	复位值	上电初始值
DMA2_CNT	0x0C	读/写	DMA 计数器缓存寄存器	0x0000_0000	0x0000_0000
DMA2_STS	0x10	读/写	DMA 状态寄存器	0x0000_0000	0x0000_0000
DMA3 基地址: 0x4001_08C0					
DMA3_SADR	0x00	读/写	DMA 源地址缓存寄存器	0x0000_0000	0x0000_0000
DMA3_DADR	0x04	读/写	DMA 目标地址缓存寄存器	0x0000_0000	0x0000_0000
DMA3_CFG	0x08	读/写	DMA 控制/配置寄存器	0x0000_0000	0x0000_0000
DMA3_CNT	0x0C	读/写	DMA 计数器缓存寄存器	0x0000_0000	0x0000_0000
DMA3_STS	0x10	读/写	DMA 状态寄存器	0x0000_0000	0x0000_0000

26 SysTick

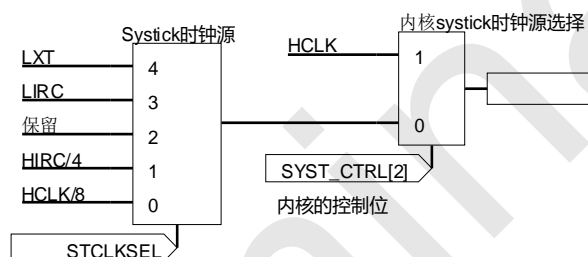
SysTick 是一个简单、24 位写入清 0、递减、带灵活控制机制的自动装载计数器。该计数器可以用作实时操作系统（RTOS）的滴答定时器或作为一个简单的计数器。

26.1 时钟源

SysTick (Cortex®-M0+内核系统定时器)的时钟源分为内部时钟源和外部时钟源：

- 内部时钟源，即 CPU 时钟
- 4 个外部时钟源

SysTick 时钟源框图如下：



26.2 SysTick 校准寄存器默认值

SysTick 校准寄存器的校准值设置方法如下：

- 若上电默认时钟为 f_{HCLK}/n （MHz）， n 是上电默认分频系数，上电默认时钟源为 HIRC；
- 则当 SysTick 校准值初始值为 $1000 * (f_{HCLK}/n)$ 时，可产生 1ms 时间基准。

27 版本记录

版本	记录	日期
V0.2	<ol style="list-style-type: none"> 更正描述：LIRC 的温度误差范围由-20~85℃改为常温 25℃ 更正描述：中断向量表中 EOCIF 改为 ADCIF 添加描述：自举模式设置描述中，设置 OP_BL[1:0]前添加描述强调“在 customer option 中” 更正描述：删除 EOC 相关描述 更正描述：更正 CMP 章节边沿对齐和中心对齐对称模式中 duty 计算公式 更正描述：更正 TWI 主机操作步骤中的第三步，操作寄存器应为 TWI 数据寄存器 更正描述：更正 FCAPEN 和 RCAPEN 中对应的中断标志位为 FCAPIF 和 RCAPIF 更正描述：OP 章节中作运放时描述中的“正端”改为“同相端”，“负端”改为“反相端” 更正描述：删除 GPIO PC8 及其对应的外部中断 INT 功能 更正描述：新增 UART0 映射到烧录管脚时禁止使用全双工模式的相关说明 补充描述：OP 章节所提供的增益倍数补充说明为单端模式下 更正描述：关闭 EPWM 故障检测输入信号滤波时间可设功能 优化描述：ADC 端口设置寄存器描述优化 添加描述：增加 PGAOFC 寄存器注意事项 部分笔误修正 	2026 年 1 月 30 日
V0.1	初版	2024 年 12 月 31 日

28 声明

深圳市赛元微电子股份有限公司（以下简称赛元）保留随时对赛元产品、文档或服务进行变更、更正、增强、修改和改进的权利，恕不另行通知。赛元认为提供的信息是准确可信的。本文档信息于 2024 年 12 月开始使用。在实际进行生产设计时，请参阅各产品最新的数据手册等相关资料。

Preliminary